

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08107120 A**

(43) Date of publication of application: **23.04.96**

(51) Int. Cl. **H01L 21/338**  
**H01L 29/812**  
**H01L 21/3205**  
**H01L 23/04**  
**H01L 23/12**  
**H01L 23/14**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **06242972**

(22) Date of filing: **06.10.94**

(71) Applicant: **mitsubishi electric corp**

(72) Inventor: **SASAKI HAJIME**

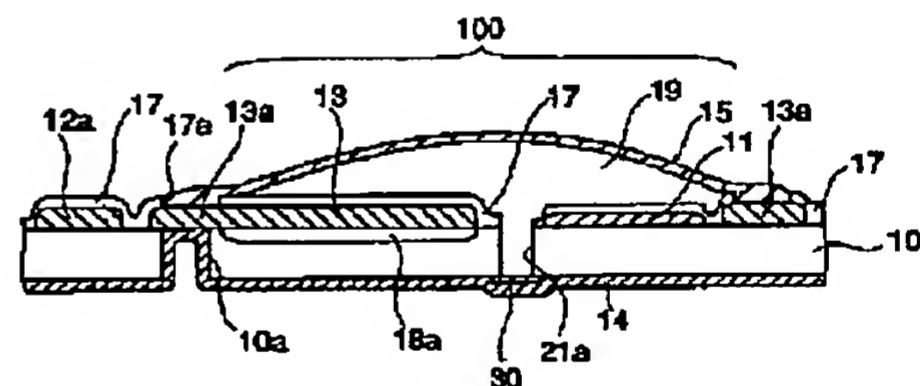
(54) **HIGH FREQUENCY SEMICONDUCTOR  
INTEGRATED CIRCUIT DEVICE AND  
MANUFACTURE THEREOF**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

**PURPOSE:** To obtain a high frequency semiconductor integrated circuit device, on which a high frequency circuit is operated in a stable manner, without using an expensive metal-base type package.

**CONSTITUTION:** An integrated circuit, containing a FET 100 as a circuit element, is formed on a GaAs substrate, and after the integrated circuit has been covered by a SiO<sub>2</sub> film 17, a Pd/Ni/Au FET protecting metal film 15, to be connected to a source electrode wiring 13a surrounding the FET 100, is formed by electroless plating on the part which covers the FET of the SiO<sub>2</sub> film 17 through the aperture part 17a where its outer circumferential part is formed on the SiO<sub>2</sub> film 17. Then, the FET protecting metal film 15 is heated up, and the FET protecting metal film 15 is swelled up into a dome shape by discharging hydrogen gas occluded in the FET protecting metal film 15.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107120

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/338			
	29/812			
	21/3205			
		9171-4M	H 0 1 L 29/ 80	G
			21/ 88	S
審査請求 未請求 請求項の数11 O L (全 22 頁) 最終頁に続く				

(21) 出願番号 特願平6-242972

(22) 出願日 平成6年(1994)10月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 佐々木 肇

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社光・マイクロ波デバイス開発研究  
所内

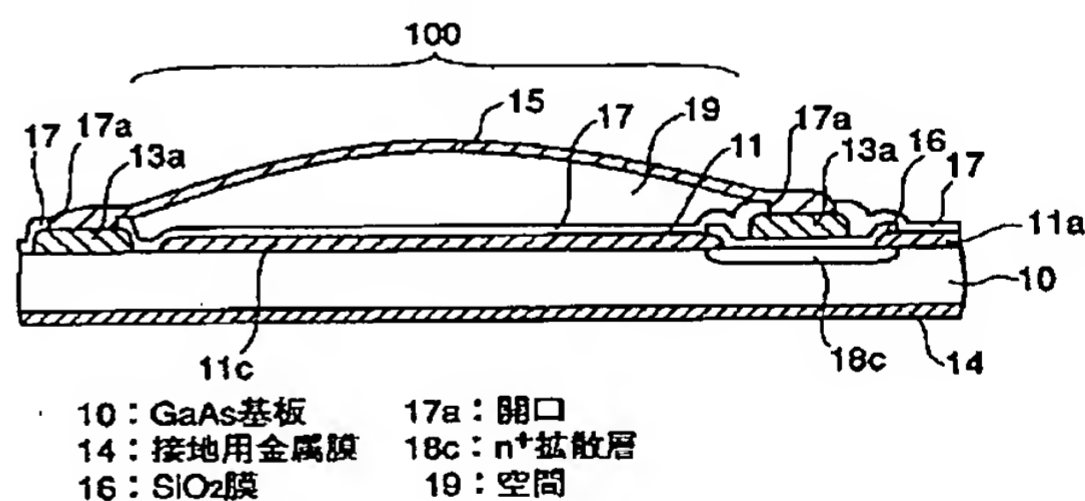
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 高周波半導体集積回路装置、及びその製造方法

(57) 【要約】

【目的】 高価なメタルベース型パッケージを用いることなく、その高周波回路が安定に動作する高周波半導体集積回路装置を得る。

【構成】 GaAs基板10にFET100を回路素子として含む集積回路を形成し、これをSiO<sub>2</sub>膜17で被覆した後、このSiO<sub>2</sub>膜17のFET100を覆っている部分上に、無電解メッキにより、その外周端部がSiO<sub>2</sub>膜17に形成された開口17aを介してFET100を囲むソース電極用配線13aに接続するPd/Ni/AuからなるFET保護用金族膜15を形成し、この後、このFET保護用金族膜15を加熱して、その内部に吸蔵されている水素ガスを放出させることにより、当該FET保護用金族膜15をドーム状に膨らませる。



## 【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板上に形成された少なくとも F E T を回路素子として含む集積回路と、

上記半導体基板上に上記 F E T を外部環境から隔離するよう形成されたドーム状の F E T 保護用金属膜とを備えたことを特徴とする高周波半導体集積回路。

【請求項 2】 請求項 1 に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上に F E T を回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記 F E T が形成された第 1 の基板領域、及び当該第 1 の基板領域の周囲の上記集積回路内の上記 F E T を囲む配線が形成された第 2 の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記第 1 の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、

上記第 2 の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、

上記穴に溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、

上記半導体基板の裏面において上記穴の開口を塞ぐ工程と、

上記金属膜パターンを加熱し、その内部に内蔵された上記ガスを放出させることにより、当該金属膜パターンを膨らませ、当該金属膜パターンと上記 F E T のゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項 3】 請求項 2 に記載の高周波半導体集積回路装置の製造方法において、

上記金属膜パターンの形成工程は、上記絶縁膜上に無電解メッキにより P d / N i / A u 膜を選択的に形成する工程からなることを特徴とする高周波半導体集積回路装置の製造方法。

【請求項 4】 請求項 2 に記載の高周波半導体集積回路装置の製造方法において、

上記金属膜パターンを形成する工程は、水素雰囲気下において上記絶縁膜上に蒸着により T i / A u 膜を選択的に形成する工程からなることを特徴とする高周波半導体集積回路装置の製造方法。

【請求項 5】 請求項 1 に記載の高周波半導体集積回路

装置を製造する方法であって、

半導体基板上に F E T を回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記 F E T が形成された第 1 の基板領域、及び当該第 1 の基板領域の周囲の上記集積回路内の上記 F E T を囲む配線が形成された第 2 の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記第 1 の基板領域を被覆している部分上に、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する半導体または有機物の薄膜を形成する工程と、

上記薄膜上にレジスト薄膜を形成する工程と、

上記第 2 の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、

上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記半導体または有機物の薄膜との間に隙間を形成する工程と、

上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、

上記半導体または有機物の薄膜を加熱し、その内部に内蔵された上記ガスを放出させることにより、上記金属膜パターンを膨らませ、当該金属膜パターンと上記 F E T のゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項 6】 請求項 1 に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上に F E T を回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記 F E T が形成された第 1 の基板領域、及び当該第 1 の基板領域の周囲の上記集積回路内の上記 F E T を囲む配線が形成された第 2 の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記第 1 の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、

上記第 2 の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、

上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、

10

20

30

40

50

上記穴から上記隙間に高圧気体を流し込んで、上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、

上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項7】 請求項1に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上にFETを回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、

上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、

上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、

上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、

上記半導体基板を加熱して上記隙間を膨張させることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項8】 請求項1に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上にFETを回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、

上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上

記レジスト薄膜に達する穴を形成する工程と、

上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、

上記金属膜パターンにワイヤをボンディングし、このワイヤを引っ張ることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、

10 上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項9】 請求項1に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上にFETを回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、

20 上記絶縁膜の上記第1の基板領域を被覆している部分上に、後述の工程でその上面に形成される金属膜パターンと上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜を形成する工程と、

上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、

30 これにより上記レジスト膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、

上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト膜に達する穴を形成する工程と、

上記穴から溶剤を流し込んで、上記レジスト膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、

上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

40 【請求項10】 請求項1に記載の高周波半導体集積回路装置を製造する方法であって、

半導体基板上にFETを回路素子として含む集積回路を形成する工程と、

上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、

上記絶縁膜の上記配線上に形成されている部分以外の他の部分上に後述の工程でその上面に形成される第1の金属膜と上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜

を形成する工程と、  
 上記レジスト膜をマスクに上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、  
 上記レジスト膜上、及び上記工程により表面露出した上記配線上に薄膜状の第1の金属膜を蒸着により形成した後、当該第1の金属膜を給電層として厚膜状の第2の金属膜を電解メッキにより形成する工程と、  
 上記第1の金属膜、及び第2の金属膜を、上記第1の基板領域よりも若干大きなパターンとなるようにパターンニングする工程と、  
 上記工程によりパターンニングされた上記第2の金属膜の上記第1の基板領域上に配置されていない外周端部のうちの上記配線上に配置されていない部分を選択的に除去する工程と、  
 上記レジスト膜を溶剤により溶解除去した後、上記第1の金属膜の上記第1の基板領域上に配置されていない外周端部を折り曲げて、上記絶縁膜と上記第1の金属膜との間に外部環境から隔離された空間を形成する工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【請求項11】 請求項1に記載の高周波半導体集積回路装置を製造する方法であって、  
 半導体基板上にFETを回路素子として含む集積回路を形成する工程と、  
 上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、  
 上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、  
 上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、  
 これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、第1の金属膜パターンと当該第1の金属膜パターンの熱膨張率よりもその熱膨張率が大きい第2の金属膜パターンとをこの順に積層した金属膜パターンを形成する工程と、  
 上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、  
 上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、  
 上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、  
 上記金属膜パターンを加熱して膨張させることにより、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とする高周波半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は高周波半導体集積回路装置、及びその製造方法に関し、特に、集積回路を構成するFETの外部環境からの保護と電磁シールドをなす構造を改良する技術に関するものである。

【0002】

【従来の技術】図37は従来のモノリシック高周波集積回路（以下、MMICと称す。）チップをメタルベース型パッケージで封止してなる高周波半導体集積回路装置の構成を示す斜視図であり、図38は図37のXXXVIII-XXXVIII線における断面図である。これらの図において、1000は高周波半導体集積回路装置であり、これはCuW等で作製されたパッケージ基板7の上面の所定位置に、高周波またはDC電源の入出力となる金属箔パターン5aがその上面に形成された2つのセラミック材5A、5Bがコバール（Fe54%,Ni29%,Co17%の合金）により接着され、GaAsMMICチップ1がパッケージ基板7の上面の2つのセラミック材5A、5Bの間の領域にハンダにより接着され、2つのセラミック材5A、5Bの各々の金属箔パターン5aとGaAsMMICチップ1に形成された配線とがワイヤ6により接続され、CuW等で作製されたパッケージ枠体4がその側面の凹部4aにセラミック材5A、5Bがはめ込まれるように、パッケージ基板7の上面の所定位置にコバールにより接着され、パッケージ枠体4の上面にCuW等で作製されたパッケージ蓋がハンダにより接着されて、構成されている。なお、図中の2はGaAsMMICチップ1の回路素子のうちのFETを示したものであり、このGaAsMMICチップ1にはこのFET2の他に図示しない回路素子（抵抗、キャパシタ等）が形成されている。

【0003】次に動作について説明する。例えば、GaAsMMICチップ1が増幅作用をするアンプである場合、高周波信号は外部から一方のセラミック材5Aの上面に形成された金属箔パターン5aを通り、ワイヤ6を通してGaAsMMICチップ1に入力される。この入力信号はGaAsMMICチップ1のFET2によって増幅された後、ワイヤ6、他方のセラミック材5Bの上面に形成された金属箔パターン5aを通して外部に出力される。ここで、メタルベース型パッケージ（パッケージ基板7、パッケージ枠体4、パッケージ蓋3、及びセラミック材5A、5B）は、GaAsMMICチップ1を構成する回路素子を外部環境（特に湿度）から保護するとともに、GaAsMMICチップ1を構成する回路素子のうちのFET2を電磁シールドし（高周波的な閉空間を作り）、GaAsMMICチップ1を構成する回路素子、特にそのうちの最も重要な素子であるFETが安定に所定の動作をするように作用している。

50 【0004】

【発明が解決しようとする課題】ところで、上記のように、上記従来の高周波半導体集積回路装置1000は、複数のパッケージ部品（パッケージ基板7、パッケージ枠体4、パッケージ蓋3、及びセラミック材5A、5B）を用い、これら複数の部品を半田、コパール等の高温接着材で接着することにより組み立てられる。従って、この従来の高周波半導体集積回路装置1000を得るためには、高価な金属材料が複数必要であり、また、各材料の加工が容易ではなく、更に、組み立てにおけるアセンブル作業が煩雑で、効率よく組み立てることができないために、コスト高になってしまうという問題点があった。

【0005】本発明は上記のような問題点を解消するためになされたもので、高価なメタルベース型パッケージを用いることなく、上記従来の高周波半導体集積回路装置と同等にその高周波回路が安定に動作する高周波半導体集積回路装置、及びこれを簡単な工程で製造することができる高周波半導体集積回路装置の製造方法を得ることを目的とする。

【0006】

【課題を解決するための手段】この発明（請求項1）にかかる高周波半導体集積回路装置は、半導体基板と、上記半導体基板上に形成された少なくともFETを回路素子として含む集積回路と、上記半導体基板上に上記FETを外部環境から隔離するよう形成された、ドーム状のFET保護用金属膜とを備えたことを特徴とするものである。

【0007】更に、この発明（請求項2）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴に溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記金属膜パターンを加熱し、その内部に内蔵された上記ガスを放出させることにより、当該金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の

間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とするものである。

【0008】更に、この発明（請求項3）にかかる高周波半導体集積回路装置の製造方法は、上記高周波半導体集積回路装置の製造方法において、上記金属膜パターンの形成工程を、上記絶縁膜上に無電解メッキによりPd/Ni/Au膜を選択的に形成する工程としたものである。

【0009】更に、この発明（請求項4）にかかる高周波半導体集積回路装置の製造方法は、上記金属膜パターンを形成する工程を、水素雰囲気下において上記絶縁膜上に蒸着によりTi/Au膜を選択的に形成する工程としたものである。

【0010】更に、この発明（請求項5）にかかる高周波半導体集積回路装置の製造方法は、半導体基板にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上に、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する半導体または有機物の薄膜を形成する工程と、上記薄膜上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記半導体または有機物の薄膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記半導体または有機物の薄膜を加熱し、その内部に内蔵された上記ガスを放出させることにより、上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とするものである。

【0011】更に、この発明（請求項6）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択

的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記穴から上記隙間に高圧気体を流し込んで、上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とするものである。

【0012】更に、この発明（請求項7）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記半導体基板を加熱して上記隙間を膨張させることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とするものである。

【0013】更に、この発明（請求項8）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の

裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記金属膜パターンにワイヤをボンディングし、このワイヤを引っ張ることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とするものである。

【0014】更に、この発明（請求項9）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上に、後述の工程でその上面に形成される金属膜パターンと上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むことを特徴とするものである。

【0015】更に、この発明（請求項10）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記配線上に形成されている部分以外の他の部分上に後述の工程でその上面に形成される第1の金属膜と上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜を形成する工程と、上記レジスト膜をマスクに上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、上記レジスト膜上、及び上記工程により表面露出した上記配線上に薄膜状の第1の金属膜を蒸着により形成した後、当該第1の金属膜を給電層として厚膜状の第2の金属膜を電解メッキにより形成する工程と、上記第1の金属膜、及び第2の金属膜を、上記第1の基板領域よ

りも若干大きなパターンとなるようにパターンニングする工程と、上記工程によりパターンニングされた上記第2の金属膜の上記第1の基板領域上に配置されていない外周端部のうちの上記配線上に配置されていない部分を選択的に除去する工程と、上記レジスト膜を溶剤により溶解除去した後、上記第1の金属膜の上記第1の基板領域上に配置されていない外周端部を折り曲げて、上記絶縁膜と上記第1の金属膜との間に外部環境から隔離された空間を形成する工程とを含むことを特徴とするものである。

【0016】更に、この発明（請求項11）にかかる高周波半導体集積回路装置の製造方法は、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を10 選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、第1の金属膜パターンと当該第1の金属膜パターンの熱膨張率よりもその熱膨張率が大きい第2の金属膜パターンとをこの順に積層した金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記金属膜パターンを加熱して膨張させることにより、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むことを特徴とするものである。

【0017】

【作用】この発明（請求項1）においては、上記構成としたから、上記半導体基板上に形成された高周波集積回路内の上記FETが、当該FETのゲート電極と上記ドーム状のFET保護用金属膜間に寄生容量を生ずることなく、上記ドーム状のFET保護用金属膜により外部環境から保護され、かつ、電磁シールドされることとなり、その結果、上記FETは長期間安定に所定動作を行うこととなる。

【0018】更に、この発明（請求項2、3、及び4）においては、上記構成としたから、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安

定に所定動作を行う高周波半導体集積回路装置を製造することができる。また、上記金属膜パターンはそれ自体がガスを発生して膨らむこととなるので、金属膜パターンを膨らませるためのガス発生膜を別途形成したり、金属膜パターンを膨らませるための外部装置を用いる必要がない。

【0019】更に、この発明（請求項5～8、11）においては、上記構成としたから、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止された高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる。更に、この発明（請求項9、10）においては、上記構成としたから、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止された高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる。また、上記レジスト膜の厚みにより、上記FETのゲート電極と上記金属膜パターン（上記第1の金属膜パターン）との間隔を決めることができるので、この間隔を高精度に上記FETのゲート電極と上記金属膜パターン間に寄生容量を生じさせない間隔にすることができ

【0020】

【実施例】

実施例1. 図1はこの発明の実施例1によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図2は図1のII-II線における断面図、図3は図1のII-I-III線における断面図、図4は図1のIV-IV線における断面図である。これらの図において、10はGaAs基板、100はこのGaAs基板10に形成されたFETである。

【0021】FET100において、18a、18bはGaAs基板10表面に形成されたn<sup>+</sup>拡散層、11はゲート電極、12はドレイン電極、13はソース電極である。ソース電極13はn<sup>+</sup>拡散層18a上に形成され、ドレイン電極12はn<sup>+</sup>拡散層18b上に形成されている。ゲート電極11のフィンガー部11cはソース電極13とドレイン電極12間に配置されている。ゲート電極11、ドレイン電極12、ソース電極13、及びこれらの周辺の基板10の表面はSiO<sub>2</sub>膜17により被覆されている。21a、21bは後述する製造工程において基板10に形成された穴であり、これら穴21a、21bはAuリボン等の金属薄膜22により基板10の裏面側で塞がれている。22は例えばAuからなる

接地用導体膜である。

【0022】FET100の周辺において、13aはソース電極用配線で、これはソース電極13から引き延ばされてFET100を囲むようにGaAs基板10表面に形成されている。11aはゲート電極用配線、18cはGaAs基板10表面に形成されたn<sup>+</sup>拡散層で、これらの両端部にゲート電極11の端部とゲート電極用配線11aの端部が接続している。n<sup>+</sup>拡散層18cの中央部分、ゲート電極11の端部、及びゲート電極用配線11aの端部はSiO<sub>2</sub>膜16により被覆され、このSiO<sub>2</sub>膜16上にソース電極用配線13aの一部が配置されている。上記n<sup>+</sup>拡散層18bはGaAs基板10表面のFET100の周辺まで引き延ばされて形成されており、ドレイン電極用配線12aの一部がこのn<sup>+</sup>拡散層18b上に形成されている。また、ソース電極用配線13aの一部がSiO<sub>2</sub>膜16を介してこのn<sup>+</sup>拡散層18b上に形成されている。ソース電極用配線13aのソース電極13との境界部は、GaAs基板10に形成されたコンタクトホール10aを通して、GaAs基板10の裏面に形成された接地用配線14に接続されている。ここで、ゲート電極用配線11a、ドレイン電極用配線12a、ソース電極用配線13a、及びこれらの周辺の基板10表面はSiO<sub>2</sub>膜17により被覆されている。

【0023】上記FET100の上方において、上記ソース電極用配線13aの上面にSiO<sub>2</sub>膜17に形成された開口17aを通してその外周端部が接続されたドーム形状のFET保護用金属膜15が設けられており、上記FET100はこのFET保護用金属膜15によって外部環境から保護され、電磁シールドされている。19はFET保護用金属膜15とSiO<sub>2</sub>膜17との間に形成された空間であり、この空間19により、FET保護用金属膜15とゲート電極11の間隔はこれらFET保護用金属膜15とゲート電極11間に寄生容量（ゲート・ソース間容量）が生じない間隔になっている。

【0024】なお、ここではFET100以外の回路素子を図示していないが、GaAs基板10の図示しない他の領域にはキャパシタ、抵抗等の他の回路素子が形成されている。

【0025】このMMICの動作は、図20に示した従来の増幅用アンプとして動作するMMICチップ（MMIC）と基本的に同じであり、GaAs基板10上の図示しない所定領域に形成された入力用配線に外部から高周波信号が入力され、この入力信号がFET100によって増幅された後、GaAs基板10上の図示しない所定領域に形成された出力用配線から外部に出力される。ドーム形状のFET保護用金属膜15は、この動作において、従来のMMICを構成するメタルベース型パッケージと同等の機能を果たし、FET100を外部環境（湿度）から保護するとともに、電磁シールドし（高周

波的な閉空間を作り）、MMICが長期間安定に所定の動作を行うように作用している。

【0026】次に、製造工程について説明する。図5、図6はこのMMICの製造工程の主要工程を示す図で、図5は図1のIII-III線における断面図、図6は図1のIV-IV線における断面図である。

【0027】まず、GaAs基板10表面の所定領域に、n<sup>+</sup>拡散層18a~18cを形成する。

【0028】次に、Al、WSi等からなる厚み2000~4000オングストロームの金属膜を蒸着より形成し、これをパターニングしてゲート電極11、及びゲート電極用配線11bを形成する。

【0029】次に、AuGe/Ni/Auからなる厚み5000~3μmの金属膜を蒸着により形成し、これをパターニングしてドレイン電極12、及びドレイン電極用配線12aを形成する。

【0030】次に、n<sup>+</sup>拡散層18b、n<sup>+</sup>拡散層18cの、後に形成するソース電極用配線13aと交差する部分上に厚み2000~3000オングストロームのSiO<sub>2</sub>膜16を選択的に形成する。

【0031】次に、AuGe/Ni/Auからなる厚み5000~3μmの金属膜を蒸着により形成し、これをパターニングしてソース電極13、及びソース電極用配線13aを形成する。

【0032】次に、上記工程で形成された各電極（11~13）、及び各電極用配線（11b、12a、13a）が被覆されるように、GaAs基板10の全面に厚み2000~3000オングストロームのSiO<sub>2</sub>膜17を形成し、この後、このSiO<sub>2</sub>膜17のソース電極用配線13aの上面に形成されている部分を、選択的にエッチング除去する。

【0033】次に、SiO<sub>2</sub>膜17のFET100を覆っている部分、すなわち、上記工程により露出するソース電極用配線13aで囲まれている部分に厚み数十オングストローム~1μmのレジスト薄膜22を選択的に形成する。

【0034】次に、無電解メッキによりPd膜、Ni膜の厚みが10~5000オングストロームで、Au膜の厚みが1000オングストローム~10μmであるPd/Ni/Auからなる金属膜を40℃以上の成長温度で形成した後、このPd/Ni/Auからなる金属膜の、上記工程によって表面露出したソース電極用配線13aの当該表面露出部に接続している部分とFET100を覆う部分とを残して、他の部分をエッチング除去することにより、FET保護用金属膜15を得る。

【0035】次に、GaAs基板10、及びSiO<sub>2</sub>膜17の所定部分（ゲート電極11とソース電極13との間、ゲート電極11とドレイン電極12との間）に、当該基板10の裏面側から、これらGaAs基板10、及びSiO<sub>2</sub>膜17を貫通し、レジスト薄膜22に達する

穴21a, 21bをエッチングにより形成すると、図5, 6に示す状態となる。

【0036】次に、上記穴21a, 21bのうちの一方からレジスト薄膜22を溶解する溶剤を注入し、他方からこの溶剤を流すことにより、レジスト薄膜22を溶解除去し、FET保護用金属膜15とSiO<sub>2</sub>膜17との間に隙間を形成する。

【0037】次に、GaAs基板10の裏面に金リボン等の金属薄膜30を接着して、当該基板裏面の穴21a, 21bの開口を塞いだ後、上記FET保護用金属膜15を200℃以上で数時間熱処理すると、図2～4に示すように、このFET保護用金属膜15はドーム状に膨れ上がり、SiO<sub>2</sub>膜17との間に空間19が形成される。ここで、このFET保護用金属膜15の膨れ度合いは、Pd膜、及びNi膜を成長する際の温度を調節することにより所望の膨れ度合いにすることができる。なお、この無電解メッキにより形成したPd/Ni/Auからなる金属膜（FET保護用金属膜15）がその形成後の加熱処理によって膨れ上がるのは、Pd膜、Ni膜の成長時、これらが水素を吸蔵し、形成後の加熱処理によって、この吸蔵していた水素を放出するためである。また、Pd膜、及びNi膜を成長する際の温度を調節することにより所望の膨れ度合いにできるのは、温度に応じて吸蔵される水素の量が変わるためである。

【0038】次に、GaAs基板10の所定領域に当該基板の裏面側からコンクトホール10aを形成し、この後、GaAs基板10の裏面に例えばAuからなる接地用金属膜14を形成すると、図1～4に示す本実施例のMMICが完成する。

【0039】このような本実施例のMMICの製造工程では、GaAs基板10の所定領域に形成されたFET100が、FET100の作製工程後、ウェハプロセスによってGaAs基板10上に形成したFET保護用金属膜15によって、外部環境から保護され、かつ、電磁シールドされたものとなるので、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。

【0040】なお、本実施例ではFET保護用金属膜15の加熱処理を行った後、コンクトホール10a、接地用金属膜14の形成を行ったが、コンクトホール10a、接地用金属膜14の形成を行った後、FET保護用金属膜15の加熱処理を行うようにしてもよい。

【0041】実施例2。図7はこの発明の実施例2によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図8は図7のVIII-VIII線における断面図、図9は図7のIX-IX線における断面図、図10は図7のX-X線における断面図である。これらの図において、図1～4と同一符号は同一または相当する部分を示

し、15aはFET保護用金属膜、20はアモルファスシリコン膜である。本実施例のMMICの動作は、上記実施例1のMMICのそれと同じであるのでここではその説明を省略する。

【0042】次に、製造工程について説明する。図11, 図12はこのMMICの製造工程の主要工程を示す図で、図11は図7のIX-IX線における断面図、図12は図7のX-X線における断面図である。まず、上記実施例1のMMICの製造工程におけるSiO<sub>2</sub>膜17を形成するまでの工程と全く同様の工程を行う。

【0043】次に、プラズマCVD法により厚み数オングストローム～2μmのアモルファスシリコン膜20を形成し、この後、このSiO<sub>2</sub>膜17、アモルファスシリコン膜20のソース電極用配線13aの上面に形成されている部分を、選択的にエッチング除去する。

【0044】次に、アモルファスシリコン膜20のFET100を覆っている部分、すなわち、上記工程により露出するソース電極用配線13aで囲まれている部分にレジスト薄膜22を選択的に形成する。

【0045】次に、真空蒸着によりTi（10～200オングストローム）/Au（1μm）の金属膜を形成した後、この金属膜の、上記工程によって表面露出したソース電極用配線13aの当該表面露出部に接続している部分から内側のFET100を覆う部分を残して、他の部分をエッチング除去すると、FET保護用金属膜15aが得られる。

【0046】次に、GaAs基板10の所定部分（ゲート電極11とソース電極13との間、ゲート電極11とドレイン電極12との間）に、当該基板10の裏面側から、GaAs基板10、SiO<sub>2</sub>膜17、及びアモルファスシリコン膜20を貫通し、上記レジスト薄膜22に達する穴21a, 21bをエッチングにより形成すると、図11, 12に示す状態となる。

【0047】次に、上記穴21a, 21bのうちの一方からレジスト薄膜22を溶解する溶剤を注入し、他方からこの溶剤を流すことにより、レジスト薄膜22を溶解除去し、FET保護用金属膜15aとアモルファスシリコン膜20との間に隙間を形成する。

【0048】次に、GaAs基板10の裏面に金属薄膜30を接着して、当該基板裏面の穴21a, 21nの開口を塞いだ後、上記FET保護用金属膜15aを400℃以上で数分間熱処理すると、上記FET保護用金属膜15aの下にあるアモルファスシリコン膜20が加熱されて、その内部に含まれる水素（10～30atm%程度）を放出し、この水素の放出によってFET保護用金属膜15aが図8～10に示すようにドーム状に膨れ上がり、FET保護用金属膜15aとアモルファスシリコン膜20との間に空間19が形成される。

【0049】次に、GaAs基板10の所定領域に当該基板の裏面側からコンクトホール10aを形成し、この

後、GaAs基板10の裏面に接地用導体層14を形成すると、図7～10に示す本実施例のMMICが完成する。

【0050】このような本実施例の製造工程においても、ウエハプロセスによってFET100を外部環境から保護し、かつ、電磁シールドするFET保護用金属膜15aを形成することができるので、上記実施例1と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。

【0051】なお、本実施例では、アモルファスシリコン膜20をSiO<sub>2</sub>膜17上に形成したが、これの代わりにワックスをSiO<sub>2</sub>膜17上に厚み数十オングストローム～1μm程度塗布するようにしても、ワックスが加熱により含有ガスまたは分解ガスを放出するので本実施例と同様の効果を得ることができる。

【0052】また、本実施例ではアモルファスシリコン膜20の加熱処理を行った後、コンクトホール10a、接地用金属膜14の形成を行ったが、コンクトホール10a、接地用金属膜14の形成を行った後、アモルファスシリコン膜20の加熱処理を行うようにしてもよい。

【0053】実施例3、図13この発明の実施例3によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図14は図13のXIV-XIV線における断面図、図15は図13のXV-XV線における断面図、図16は図13のXVI-XVI線における断面図である。これらの図において、図1～4と同一符号は同一または相当する部分を示している。本実施例のMMICの動作は、上記実施例1のMMICのそれと同じであるのでここではその説明を省略する。

【0054】次に製造工程について説明する。図17、18はこのMMICの製造工程の主要工程を示す図で、図17は図13のXV-XV線における断面図、図18は図13のXVI-XVI線における断面図である。

【0055】まず、上記実施例1のMMICの製造工程におけるSiO<sub>2</sub>膜17を形成し、このSiO<sub>2</sub>膜17のソース電極用配線13aの上面に形成されている部分を、選択的にエッチング除去する工程までの工程と同様の工程を行う。

【0056】次に、SiO<sub>2</sub>膜17のFET100を覆っている部分、すなわち、上記工程により露出するソース電極用配線13aで囲まれている部分にレジスト薄膜22を選択的に形成する。

【0057】次に、真空蒸着によりTi(10～200オングストローム)/Au(1μm)の金属膜を形成した後、この金属膜の、上記工程によって表面露出したソース電極用配線13aの当該表面露出部に接続している部分から内側のFET100を覆う部分を残して、他の部

分をエッチング除去することにより、FET保護用金属膜15aを形成する。

【0058】次に、GaAs基板10、及びSiO<sub>2</sub>膜17の所定部分(ゲート電極11とソース電極13との間、ゲート電極11とドレイン電極12との間)に、当該基板10の裏面側から、これらGaAs基板10、及びSiO<sub>2</sub>膜17を貫通し、レジスト薄膜22に達する穴21a、21bをエッチングにより形成すると、図17、18に示す状態となる。

10 【0059】次に、上記穴21a、21bのうちの一方の穴からレジスト薄膜22を溶解する溶剤を注入し、他方の穴からこの溶剤を流すことにより、レジスト薄膜22を溶解除去する。

【0060】次に、上記工程により上記レジスト薄膜22が溶解除去して形成されたFET保護用金属膜15aとSiO<sub>2</sub>膜17との間の隙間に、穴21a、21bから高圧気体を流し込み、FET保護用金属膜15aを図14～16に示すようにドーム状に膨らませる。

20 【0061】次に、GaAs基板100の裏面に金属薄膜30を接着して、上記開口21a、21bを塞いだ後、GaAs基板100の所定領域に当該基板の裏面側からコンクトホール10aを形成し、この後、GaAs基板100の裏面に接地用導体層14を形成すると、図13～16に示す、本実施例のMMICが完成する。

30 【0062】このような本実施例の製造工程においても、ウエハプロセスによってFET100を外部環境から保護し、かつ、電磁シールドするFET保護用金属膜15aを形成することができるので、上記実施例1と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。

40 【0063】実施例4、上記実施例3では、FET保護用金属膜15aとSiO<sub>2</sub>膜17との間の隙間に、穴21a、21bから高圧気体を流すことによりFET保護用金属膜15aを膨らませ、この後、穴21a、21bの基板10裏面側の開口を金属薄膜22で塞ぐようにしたが、本実施例は、FET保護用金属膜15aとSiO<sub>2</sub>膜17との間に隙間を形成した後、ただちに基板10に金属薄膜30を接着することにより、穴21a、21bの基板10裏面側の開口を塞ぎ、この後、基板10を加熱することにより、上記隙間の空気を膨張させて、FET保護用金属膜15を膨らませるものである。

50 【0064】このような本実施例の製造工程においても、上記実施例3のMMICと同一の構成、及びを同一の動作をするMMICを得ることができ、上記実施例3と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単

な工程で、しかも、高価な部品を用いることなく製造することができる。

【0065】実施例5. 図19はこの発明の実施例5によるMMICの製造工程における主要工程を示す断面図であり、図において、図15と同一符号は同一または相当する部分を示し、23はワイヤである。なお、本実施例のMMICの構成は実施例3のMMICと同一構成であり、この図19は図13のXV-XV線に対応している。

【0066】本実施例の製造工程は、上記実施例3の基板10に穴21a、21bを形成し、溶剤によりレジスト薄膜22を溶解除去する工程までの工程と同様の工程を行った後、図19に示すように、FET保護用金属膜15aの上面にワイヤ23をボンディングし、このワイヤ23を約2〜5グラムの力でもって引き上げることに  
より、FET保護用金属膜15aを膨らませ、この後、穴21a、21bを金属薄膜22で塞く工程と、基板10にコンクトホール10aを形成する工程と、基板10裏面に接地用導体層14を形成する工程とを行うものである。

【0067】このような本実施例の製造工程においても、上記実施例3のMMICと同一の構成、及びを同一の動作をするMMICを得ることができ、上記実施例3と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。

【0068】実施例6. 図20はこの発明の実施例6によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図21は図20のXXI-XXI線における断面図、図22は図20のXXII-XXII線における断面図、図23は図20のXXIII-XXIII線における断面図である。これらの図において、図1〜7と同一符号は同一または相当する部分を示している。本実施例のMMICの構成は、上記実施例3のMMICとFET保護用金属膜15aの形状が異なっている以外は全く同様の構成である。本実施例のMMICの動作は、上記実施例1のMMICのそれと同じであるのでここではその説明を省略する。

【0069】次に製造工程について説明する。図24、25はこのMMICの製造工程の主要工程を示す図で、図24は図20のXXIII-XXIII線における断面図、図25は図20のXIII-XXIII線における断面図である。これらの図ににおいて、22aはレジスト薄膜である。

【0070】まず、上記実施例1のMMICの製造工程におけるSiO<sub>2</sub>膜17を形成し、このSiO<sub>2</sub>膜17のソース電極用配線13aの上面に形成されている部分を、選択的にエッチング除去する工程までの工程と同様の工程を行う。

【0071】次に、SiO<sub>2</sub>膜17のFET100を覆

っている部分、すなわち、上記工程により露出するソース電極用配線13aで囲まれている部分にレジスト膜22aを選択的に形成する。ここで、レジスト膜22aは、後の工程で形成するFET保護用金属膜15aとFET100のゲート電極11との間隔が、これらFET保護用金属膜15とゲート電極11間に寄生容量（ゲート・ソース間容量）が生じない間隔となるような厚みに形成する。

【0072】次に、真空蒸着によりTi（10〜200 オングストローム）/Au（1μm）の金属膜を形成した後、この金属膜の、上記工程によって表面露出したソース電極用配線13aの当該表面露出部に接続している部分とFET100を覆う部分とを残して、他の部分をエッチング除去することにより、FET保護用金属膜15aを形成する。

【0073】次に、GaAs基板10、及びSiO<sub>2</sub>膜17の所定部分（ゲート電極11とソース電極13との間、ゲート電極11とドレイン電極12との間）に、当該GaAs基板10の裏面側から、これらGaAs基板10、及びSiO<sub>2</sub>膜17を貫通し、レジスト膜22aに達する穴21a、21bをエッチングにより形成すると、図24、25に示す状態となる。

【0074】次に、上記穴21a、21bのうちの一方からレジスト膜22aを溶解する溶剤を注入し、他方からこの溶剤を流すことにより、レジスト膜22aを溶解除去すると、FET保護用金属膜15aとSiO<sub>2</sub>膜17との間に空間19が形成される。

【0075】次に、GaAs基板10の裏面に金属薄膜30を接着して、当該基板裏面の穴21a、21bの開口を塞いだ後、GaAs基板10の所定領域に当該基板の裏面側からコンクトホール10aを形成し、この後、GaAs基板100の裏面に接地用導体層14を形成すると、図20〜23に示す本実施例のMMICが完成する。

【0076】このような本実施例の製造工程においても、ウエハプロセスによってFET100を外部環境から保護し、かつ、電磁シールドするFET保護用金属膜15aを形成することができるので、上記実施例1と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。また、レジスト膜22aの厚みでドーム形状のFET保護用金属膜15aとゲート電極11間の間隔を決めることができるので、前述のFET保護用金属膜15（15a）を形成した後、このFET保護用金属膜15（15a）を膨らませてFET保護用金属膜15（15a）をドーム形状とする実施例に比べて、高精度にドーム形状のFET保護用金属膜15aとゲート電極11との間隔を、寄生容量（ゲート・ソース間容量）を

発生しない間隔にすることができ、製造効率を一層向上することができる。

【0077】実施例7. 図26はこの発明の実施例7によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図27は図26のXXVII-XXVII線における断面図、図28は図26のXXVIII-XXVIII線における断面図、図29は図26のXXIX-XXIX線における断面図である。これらの図において、図1~7と同一符号は同一または相当する部分を示し、11bはゲート電極11の端部、24はFET保護用金属膜、24aはTi(蒸着)膜、24bはAu(メッキ)膜である。なお、前述の実施例のMMICでは、ソース電極用配線13aはFET100を囲むように形成されていたが、本実施例のMMICでは、図に示すように、ソース電極用配線13aは、ゲート電極11の端部11bの周辺には形成されておらず、コの字状に形成されている。本実施例のMMICの動作は、上記実施例1のMMICのそれと同じであるのでここではその説明を省略する。

【0078】次に製造工程について説明する。図30~32はこのMMICの製造工程の主要工程を示す図で、図30は図26のXXVII-XXVII線における断面図、図31は図26のXXVIII-XXVIII線における断面図、図32は図26のXXIX-XXIX線における断面図である。

【0079】まず、上記実施例1のMMICの製造工程におけるSiO<sub>2</sub>膜17を形成し、このSiO<sub>2</sub>膜17のソース電極用配線13aの上面に形成されている部分を、選択的にエッチング除去する工程までの工程と同様の工程を行う。なお、この工程において、ソース電極用配線13aは上述したようにコの字状に形成し、SiO<sub>2</sub>膜16はn<sup>+</sup>拡散層18c上には形成しない。

【0080】次に、上記工程を経て残されているSiO<sub>2</sub>膜17の表面にレジスト膜22bを選択的に形成する。ここで、レジスト膜22aは、後の工程で形成するFET保護用金属膜15aとFET100のゲート電極11との間隔が、これらFET保護用金属膜15とゲート電極11間に寄生容量(ゲート・ソース間容量)が生じない間隔となるような厚みに形成する。

【0081】次に、基板10の全面、すなわち、上記レジスト膜22bの表面、及び上記工程により表面露出したソース電極用配線13aの表面に、蒸着により厚み10~200オングストロームのTi膜24aを形成した後、このTi膜24aを給電層として、電解メッキによりこのTi膜24a上に厚み1μmのAu膜24bを形成する。

【0082】次に、上記Ti膜24a、Au膜24bの上記工程によって表面露出したソース電極用配線13aを覆う部分とFET100を覆う部分とを残して、他の部分をエッチングにより除去すると、図30~32に示す状態となる。ここで、Ti膜24a、Au膜24bの

FET100のゲート電極11を覆う部分は、ゲート電極11の端部11bから上記レジスト膜22bの厚みより若干大きい長さ分だけはみ出すようにする。

【0083】次に、上記工程により残されたAu膜24bの上記ゲート電極11の端部11bからはみ出した部分にイオンミリングを施して、この部分を除去し、Au膜24bの端部をゲート電極11の端部11bに一致させる。

【0084】次に、レジスト膜22bを溶剤により溶解除去した後、Ti膜24aの端部を水スプレー等により折り曲げてSiO<sub>2</sub>膜17表面に接触させ、この後、GaAs基板10の所定領域に当該基板の裏面側からコンタホール10aを形成し、GaAs基板100の裏面に接地用導体層14を形成すると、図26~29に示す本実施例のMMICが完成する。

【0085】このような本実施例の製造工程においても、ウエハプロセスによってFET100を外部環境から保護し、かつ、電磁シールドするFET保護用金属膜15aを形成することができるので、上記実施例1と同様に、従来の外部環境保護、及び電磁シールドのためにメタルベース型パッケージで封止してなるMMICと同等に安定動作するMMICを、従来に比して、簡単な工程で、しかも、高価な部品を用いることなく製造することができる。また、基板10に穴を設けることなく、レジスト膜22bを除去することができるので、工程を簡略化でき、製造効率を一層向上させることができる。また、レジスト膜22aの厚みでドーム形状のFET保護用金属膜15aとゲート電極11間の間隔を決めることができるので、前述のFET保護用金属膜15(15a)を形成した後、このFET保護用金属膜15(15a)を膨らませてFET保護用金属膜15(15a)をドーム形状とする実施例に比べて、高精度にドーム形状のFET保護用金属膜15aとゲート電極11との間隔を寄生容量(ゲート・ソース間容量)を発生させない間隔にすることができ、製造効率を一層向上することができる。

【0086】実施例8. 図33はこの発明の実施例9によるMMICにおけるFETとその周辺領域の構成を示す透視上面図、図34は図33のXXXVI-XXXVI線における断面図、図35は図33のXXXV-XXXV線における断面図、図36は図33のXXXVI-XXXVI線における断面図である。これらの図において、図1~4と同一符号は同一または相当する部分を示し、25はFET保護用金属膜、25aはTi(蒸着)膜、25bはAu(蒸着)膜である。

【0087】本実施例のMMICの動作は、上記実施例1のMMICのそれと同じであるのでここではその説明を省略する。

【0088】本実施例のMMICの製造工程は、上記実施例1のMMICの製造工程における無電解メッキによ

10

20

30

40

50

りPd/Ni/Auからなる金属膜を形成する工程を、水素雰囲気下で蒸着により厚み100Å〜1μmのTi膜25aと、厚み1μmのAu膜25bとをこの順に形成する工程に置き換えたものである。

【0089】このような本実施例のMMICの製造工程では、Ti膜25aがその形成時に大量の水素を吸蔵し、後の加熱処理(200℃以上の加熱処理)によってこの水素を放出することとなり、Ti膜25aとAu膜25bの積層膜からなるFET保護用金属膜25がドーム状に膨れ上がる。従って、本実施例においても、上記実施例1と同様の効果を得ることができる。

【0090】実施例9. 上記実施例8では水素雰囲気下で蒸着によりTi膜25aを形成することにより、Ti膜25aに水素を吸蔵させ、Ti膜25aの加熱によって放出される水素を利用して、Ti/Auからなる金属膜(FET保護用金属膜25)を膨らませるようにしたが、水素を吸蔵させることなく形成したTi/Auからなる金属膜を加熱するだけでも、ドーム状のFET保護用金属膜を得ることができる。

【0091】すなわち、本実施例のMMICの製造工程は、上記実施例8のMMICの製造工程における水素雰囲気下で蒸着によりTi/Auからなる金属膜を形成する工程を、水素を含まない雰囲気下で蒸着によりTi/Auからなる金属膜を形成する工程に置き換えたものである。

【0092】このような本実施例のMMICの製造工程では、TiとAuはその熱膨張係数が大きく異なり[Au:  $1.4 \times 10^{-5}$  (200℃), Ti:  $9 \times 10^{-6}$  (200℃)], また、Auは弾性に乏しく、一度変形する元に戻らないため、Ti/Auからなる金属膜を200℃以上に加熱すると、上層のAu膜が下層のTi膜に比べて大きく引き延ばされて、Ti/Auからなる金属膜(FET保護用金属膜)がドーム状に膨れ上がる。従って、本実施例においても、上記実施例8と同様の効果を得ることができる。ただし、金属膜の膨れ度合いを高精度に制御することが容易ではないので、上記実施例8比べて製造効率は低下する。

【0093】なお、上記何れの実施例においても、絶縁膜としてSiO<sub>2</sub>膜を用いたが、絶縁膜としてSiN膜を用いても同様の効果を得ることができる。

【0094】

【発明の効果】以上のようにこの発明(請求項1)にかかる高周波半導体集積回路装置によれば、半導体基板と、上記半導体基板上に形成された少なくともFETを回路素子として含む集積回路と、上記半導体基板上に上記FETを外部環境から隔離するよう形成された、ドーム状のFET保護用金属膜とを備えたものとしたので、上記FETは、当該FETのゲート電極と上記ドーム状のFET保護用金属膜間に寄生容量を生ずることなく、上記ドーム状のFET保護用金属膜により外部環境から

保護され、かつ、電磁シールドされることとなり、その結果、集積回路内のFETが長期間安定に所定動作を行う高周波半導体集積回路装置を得ることができる効果がある。

【0095】更に、この発明(請求項2)にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴に溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記金属膜パターンを加熱し、その内部に内蔵された上記ガスを放出させることにより、当該金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むものとしたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。また、上記金属膜パターンはそれ自体がガスを発生して膨らむこととなるので、金属膜パターンを膨らませるためのガス発生膜を別途形成したり、金属膜パターンを膨らませるための外部装置を用いる必要がなく、製造工程を簡略化することができる。

【0096】更に、この発明(請求項3)にかかる高周波半導体集積回路装置の製造方法によれば、上記高周波半導体集積回路装置の製造方法において、上記金属膜パターンの形成工程を、上記絶縁膜上に無電解メッキによりPd/Ni/Au膜を選択的に形成する工程としたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しか

も、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0097】更に、この発明（請求項4）にかかる高周波半導体集積回路装置の製造方法によれば、上記金属膜パターンを形成する工程を、水素雰囲気下において上記絶縁膜上に蒸着によりTi/Au膜を選択的に形成する工程としたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0098】更に、この発明（請求項5）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上に、その内部にガスを内蔵し、後述の加熱工程により当該ガスを外部に放出する半導体または有機物の薄膜を形成する工程と、上記薄膜上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記半導体または有機物の薄膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記半導体または有機物の薄膜を加熱し、その内部に内蔵された上記ガスを放出させることにより、上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むものとしたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0099】更に、この発明（請求項6）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板

上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記穴から上記隙間に高圧気体を流し込んで、上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むものとしたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0100】更に、この発明（請求項7）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程と、上記半導体基板を加熱して上記隙間を膨張させることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない

間隔にする工程とを含むものとしたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0101】更に、この発明（請求項8）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板のFETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内のFETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記金属膜パターンにワイヤをボンディングし、このワイヤを引っ張ることにより上記金属膜パターンを膨らませ、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むものとしたので、ウェハプロセスにより高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止してなる高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【0102】更に、この発明（請求項9）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板のFETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内のFETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上に、後述の工程でその上面に形成される金属膜パターンと上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜を形成する

工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記半導体基板の裏面における上記穴の開口を塞ぐ工程とを含むものとしたので、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止された高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。また、上記レジスト膜の厚みにより、上記FETのゲート電極と上記金属膜パターン（上記第1の金属膜パターン）との間隔を決めることができるので、この間隔を高精度に上記FETのゲート電極と上記金属膜パターン間に寄生容量を生じさせない間隔にすることができ、製造効率を一層向上できる効果がある。

【0103】更に、この発明（請求項10）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板のFETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内のFETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記配線上に形成されている部分以外の他の部分上に後述の工程でその上面に形成される第1の金属膜と上記FETのゲート電極の間隔を、これらの間に寄生容量が生じない間隔にする厚みを有するレジスト膜を形成する工程と、上記レジスト膜をマスクに上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、上記レジスト膜上、及び上記工程により表面露出した上記配線上に薄膜状の第1の金属膜を蒸着により形成した後、当該第1の金属膜を給電層として厚膜状の第2の金属膜を電解メッキにより形成する工程と、上記第1の金属膜、及び第2の金属膜を、上記第1の基板領域よりも若干大きなパターンとなるようにパターンニングする工程と、上記工程によりパターンニングされた上記第2の金属膜の上記第1の基板領域上に配置されていない外周端部のうちの上記配線上に配置されていない部分を選択的に除去する工程と、上記レジスト膜を溶剤により溶解除去した後、上記第1の金属膜の上記第1の基板領域上に配置されていない外周端部を折り曲げて、上記絶縁膜と上記第1の金属膜との間に外部環境から隔離された

空間を形成する工程とを含むものとしたので、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止された高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。また、上記レジスト膜の厚みにより、上記FETのゲート電極と上記金属膜パターン（上記第1の金属膜パターン）との間隔を決めることができるので、この間隔を高精度に上記FETのゲート電極と上記金属膜パターン間に寄生容量を生じさせない間隔にすることができ、製造効率を一層向上できる効果がある。

【0104】更に、この発明（請求項11）にかかる高周波半導体集積回路装置の製造方法によれば、半導体基板上にFETを回路素子として含む集積回路を形成する工程と、上記半導体基板の上記FETが形成された第1の基板領域、及び当該第1の基板領域の周囲の上記集積回路内の上記FETを囲む配線が形成された第2の基板領域が被覆されるように絶縁膜を形成する工程と、上記絶縁膜の上記第1の基板領域を被覆している部分上にレジスト薄膜を形成する工程と、上記第2の基板領域を被覆している上記絶縁膜の上記配線上に形成されている部分を選択的に除去する工程と、これにより上記レジスト薄膜が被覆され、かつ、その外周端部が上記工程により表面露出した上記配線に接続するように、第1の金属膜パターンと当該第1の金属膜パターンの熱膨張率よりもその熱膨張率が大きい第2の金属膜パターンとをこの順に積層した金属膜パターンを形成する工程と、上記半導体基板の所定部分に、当該基板の裏面側から上記レジスト薄膜に達する穴を形成する工程と、上記穴から溶剤を流し込んで、上記レジスト薄膜を溶解除去し、上記金属膜パターンと上記絶縁膜との間に隙間を形成する工程と、上記金属膜パターンを加熱して膨張させることにより、当該金属膜パターンと上記FETのゲート電極間の間隔を、これらの間に寄生容量が生じない間隔にする工程とを含むものとしたので、ウェハプロセスのみで高周波集積回路内のFETが外部環境から保護され、かつ、電磁シールドされた高周波半導体集積回路装置を製造することができ、従来のメタルベース型パッケージで封止された高周波半導体集積回路装置を得る場合に比して、低材料コストで、しかも、効率よく、長期間安定に所定動作を行う高周波半導体集積回路装置を製造することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

【図2】 図1のII-II線における断面図である。

【図3】 図1のIII-III線における断面図である。

【図4】 図1のIV-IV線における断面図である。

【図5】 この発明の実施例1によるMMICの製造工程の主要工程を示す断面図である。

【図6】 この発明の実施例1によるMMICの製造工程の主要工程を示す断面図である。

【図7】 この発明の実施例2によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

10 【図8】 図7のVIII-VIII線における断面図である。

【図9】 図7のIX-IX線における断面図である。

【図10】 図7のX-X線における断面図である。

【図11】 この発明の実施例2によるMMICの製造工程の主要工程を示す断面図である。

【図12】 この発明の実施例2によるMMICの製造工程の主要工程を示す断面図である。

【図13】 この発明の実施例3によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

20 【図14】 図13のXIV-XIV線における断面図である。

【図15】 図13のXV-XV線における断面図である。

【図16】 図13のXVI-XVI線における断面図である。

【図17】 この発明の実施例3によるMMICの製造工程の主要工程を示す断面図である。

【図18】 この発明の実施例3によるMMICの製造工程の主要工程を示す断面図である。

30 【図19】 この発明の実施例5によるMMICの製造工程の主要工程を示す断面図である。

【図20】 この発明の実施例6によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

【図21】 図20のXXI-XXI線における断面図である。

【図22】 図20のXXII-XXII線における断面図である。

【図23】 図20のXXIII-XXIII線における断面図である。

40 【図24】 この発明の実施例6によるMMICの製造工程の主要工程を示す断面図である。

【図25】 この発明の実施例6によるMMICの製造工程の主要工程を示す断面図である。

【図26】 この発明の実施例7によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

【図27】 図26のXXVII-XXVII線における断面図である。

50 【図28】 図26のXXVIII-XXVIII線における断面図である。

【図29】 図26のXXIX-XXIX線における断面図である。

【図30】 この発明の実施例7によるMMICの製造工程の主要工程を示す断面図である。

【図31】 この発明の実施例7によるMMICの製造工程の主要工程を示す断面図である。

【図32】 この発明の実施例7によるMMICの製造工程の主要工程を示す断面図である。

【図33】 この発明の実施例8によるMMICのFET形成領域とその周辺領域の構成を示す透視上面図である。

【図34】 図33のXXXIV-XXXIV線における断面図である。

【図35】 図33のXXXV-XXXV線における断面図である。

【図36】 図33のXXXVI-XXXVI線における断面図である。

【図37】 従来のMMICチップをメタルベース型パッケージで封止してなる高周波半導体集積回路装置の構

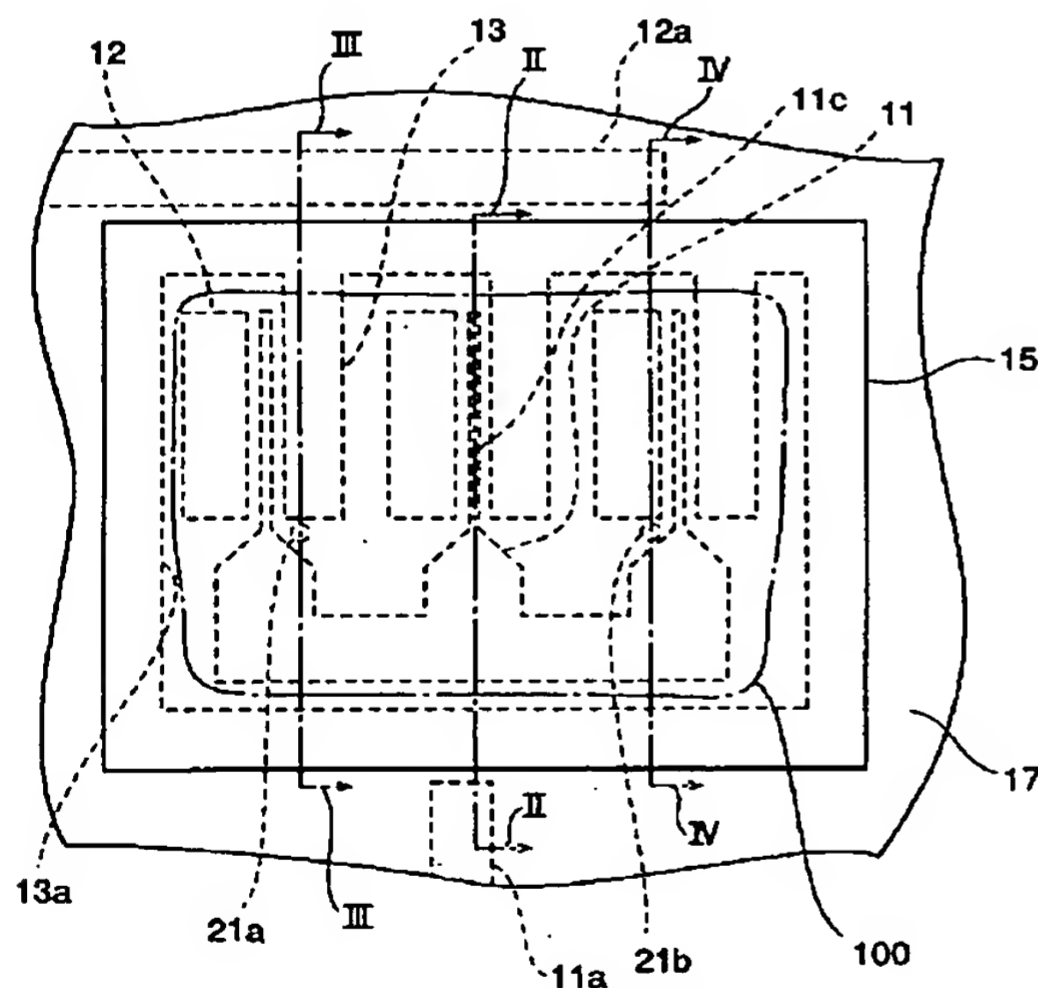
\*成を示す斜視図である。

【図38】 図37のXXXVIII-XXXVIII線における断面図である。

【符号の説明】

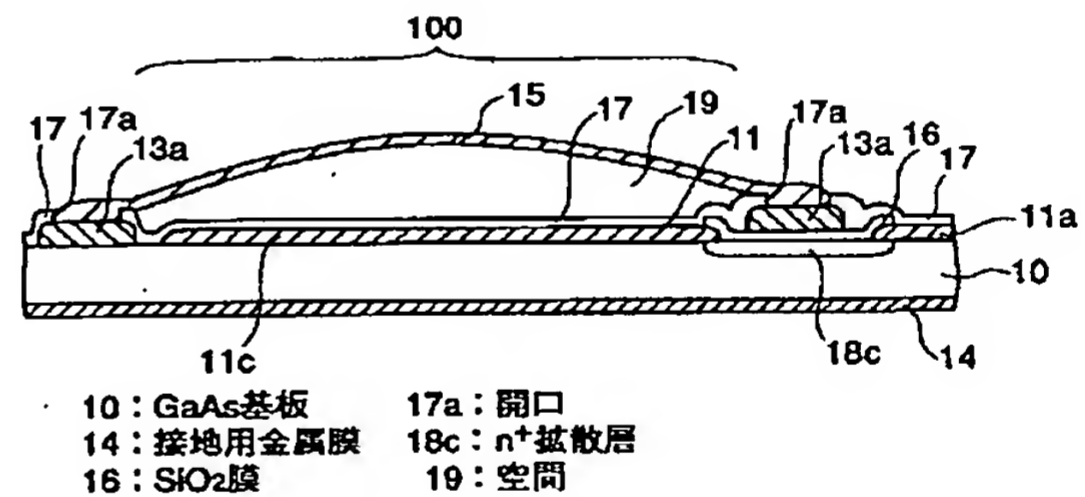
1 GaAs ICチップ、2 FET、3 パッケージの蓋、4 パッケージ枠体、5A、5B セラミック材、6 ワイヤ、7 パッケージ基板、10 GaAs基板、11 ゲート電極、11a ゲート電極用配線、11b ゲート電極の端部、11c ゲート電極のフィンガー部、12 ドレイン電極、12a ドレイン電極用配線、13 ソース電極、13a ソース電極用配線、14 接地用金属膜、15、15a、24、25 FET保護用金属膜、16、17 SiO<sub>2</sub>膜、17a 開口、18a~18c n<sup>+</sup>拡散層、20 アモルファスシリコン膜、21a、21b 穴、22、22a、22b レジスト膜、23 ワイヤ、24a、25a Ti(蒸着)膜、24b Au(メッキ)膜、25b Au(蒸着)膜、30 金属薄膜、100 FET、1000 高周波半導体集積回路装置

【図1】



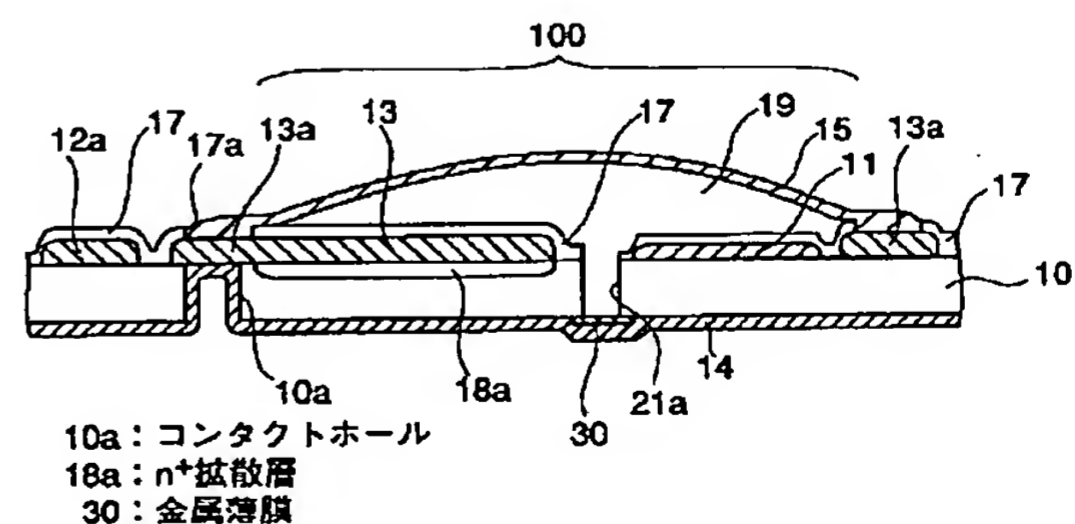
11: ゲート電極  
11a: ゲート電極用配線  
11c: ゲート電極のフィンガー部  
12: ドレイン電極  
12a: ドレイン用配線  
13: ソース電極  
13a: ソース電極用配線  
15: FET保護用金属膜  
17: SiO<sub>2</sub>膜  
21a, 21b: 開口  
100: FET

【図2】



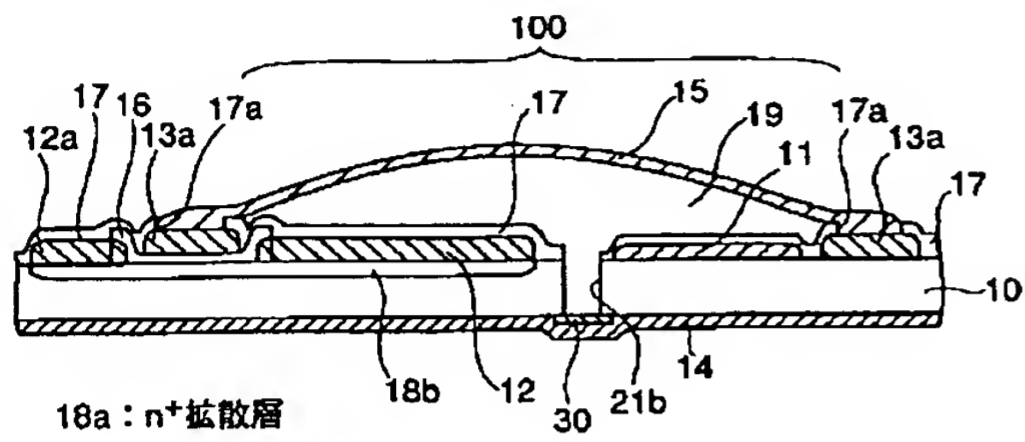
10: GaAs基板  
14: 接地用金属膜  
16: SiO<sub>2</sub>膜  
17a: 開口  
18c: n<sup>+</sup>拡散層  
19: 空間

【図3】

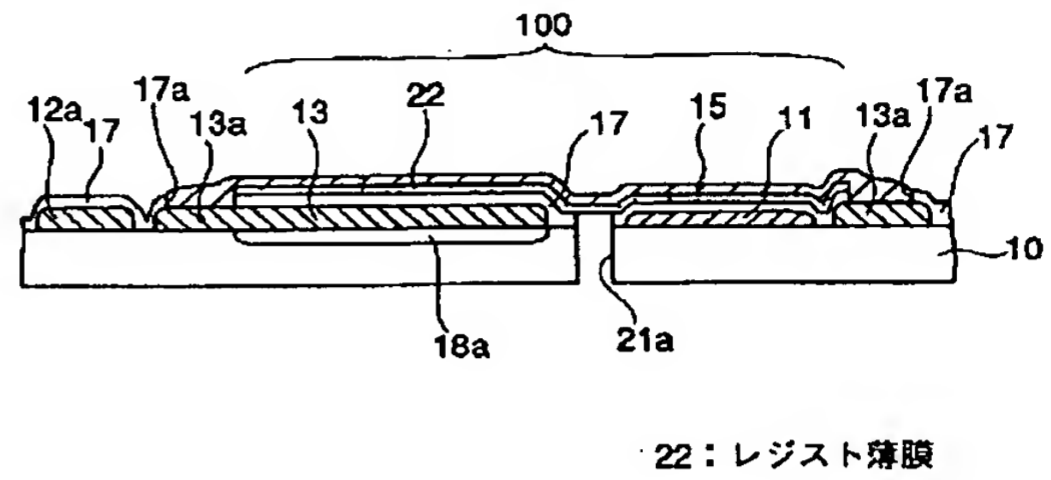


10a: コンタクトホール  
18a: n<sup>+</sup>拡散層  
30: 金属薄膜

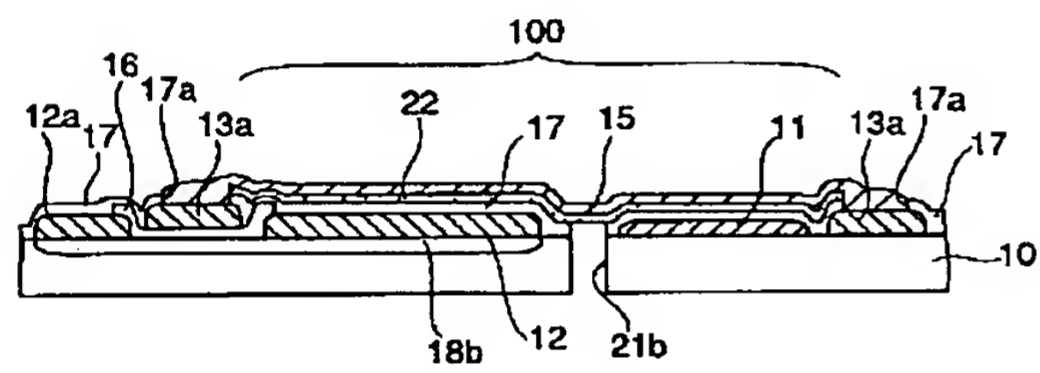
【図4】



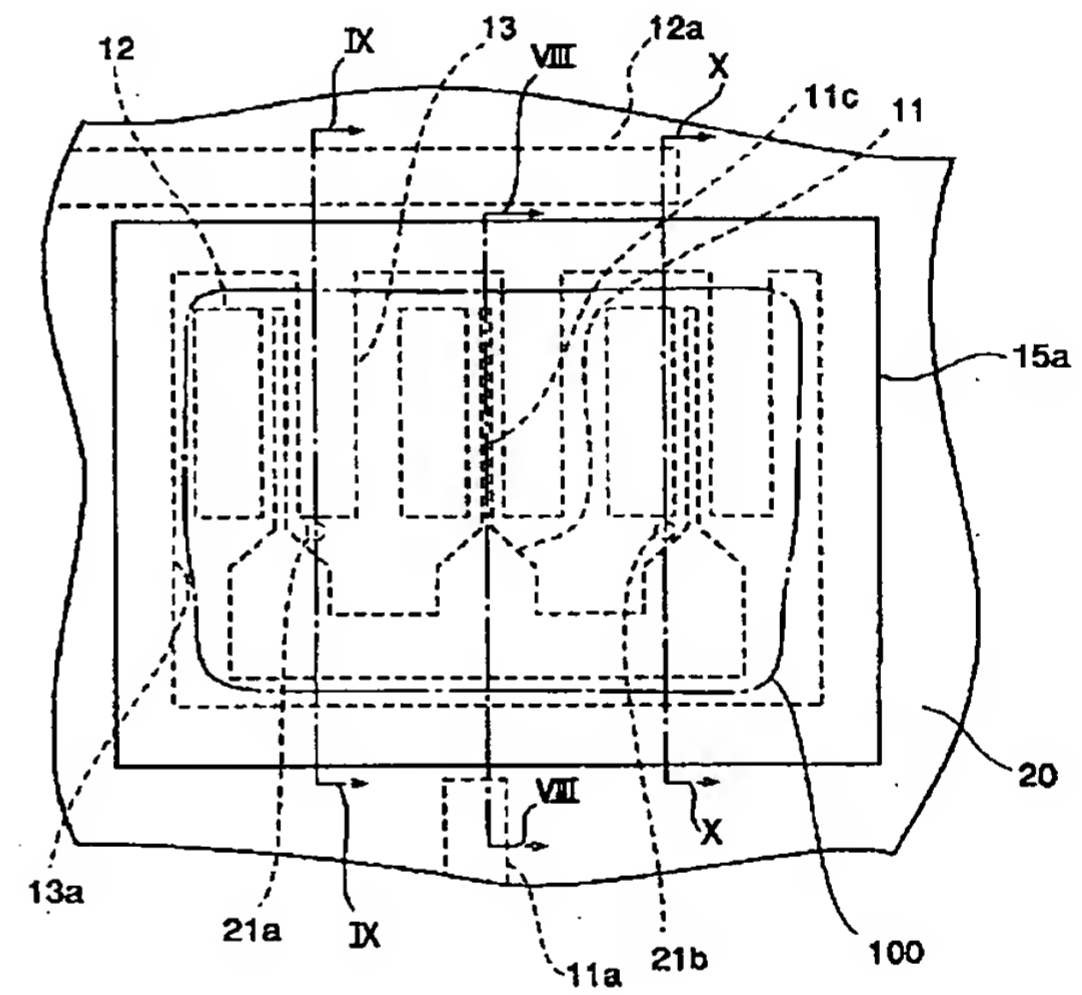
【図5】



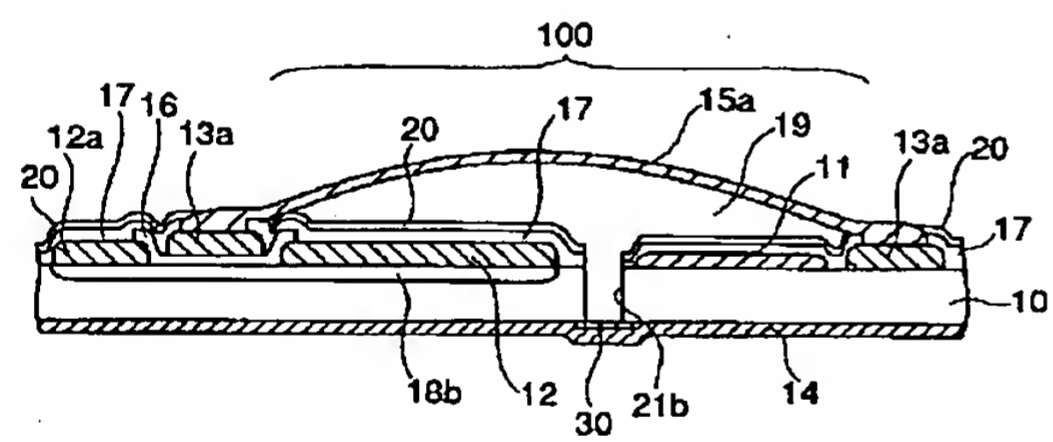
【図6】



【図7】

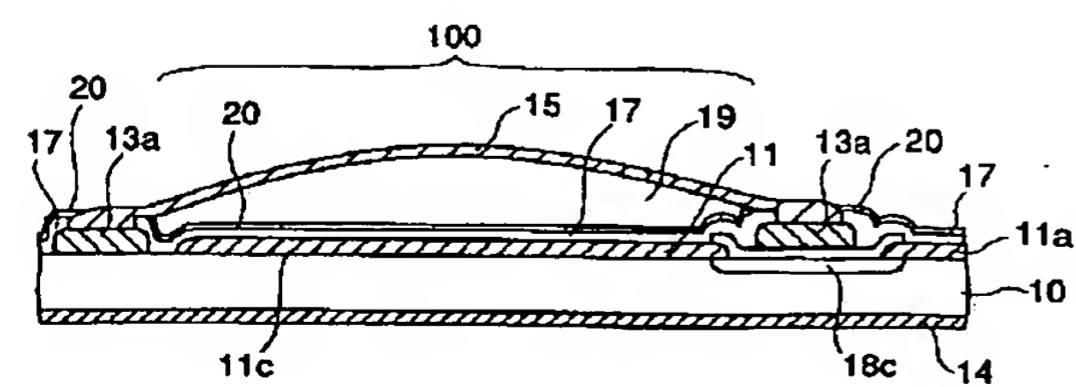


【図10】

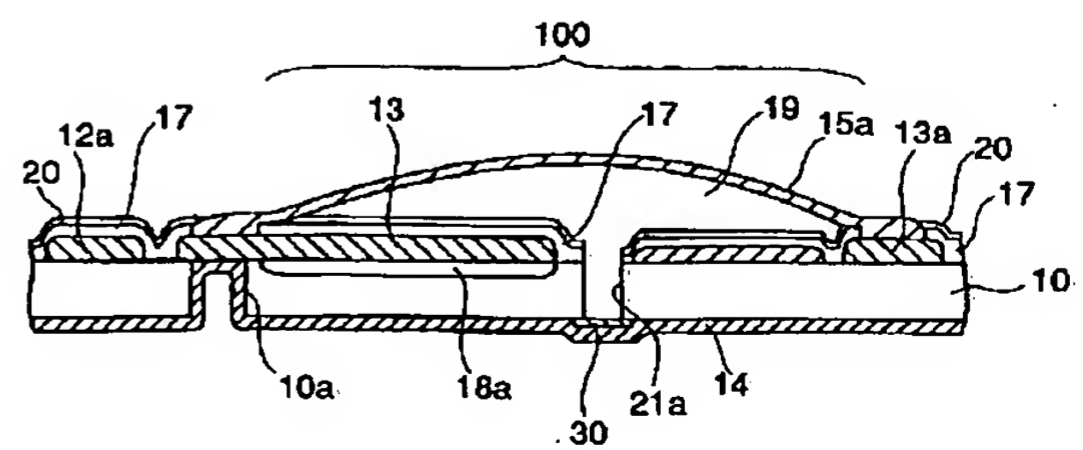


15a: FET保護用膜  
20: アモルファスシリコン膜

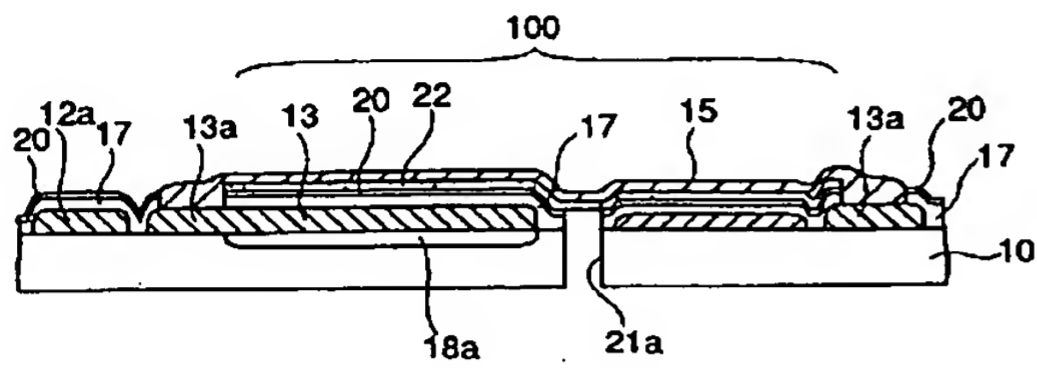
【図8】



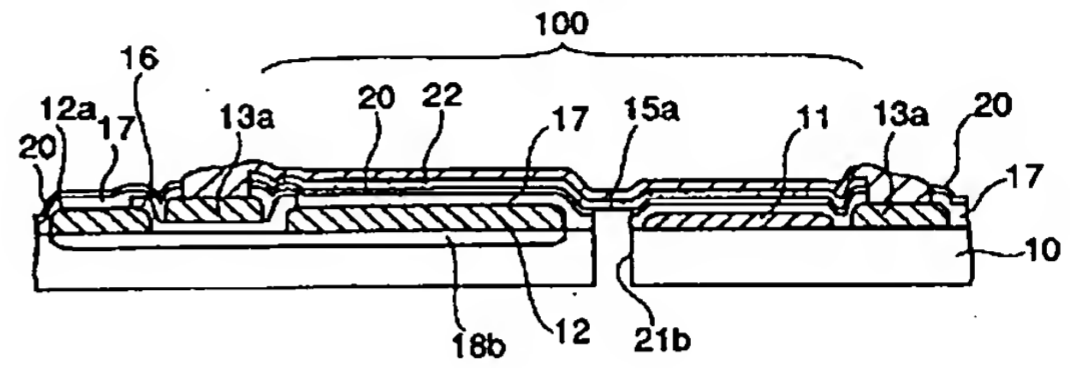
【図9】



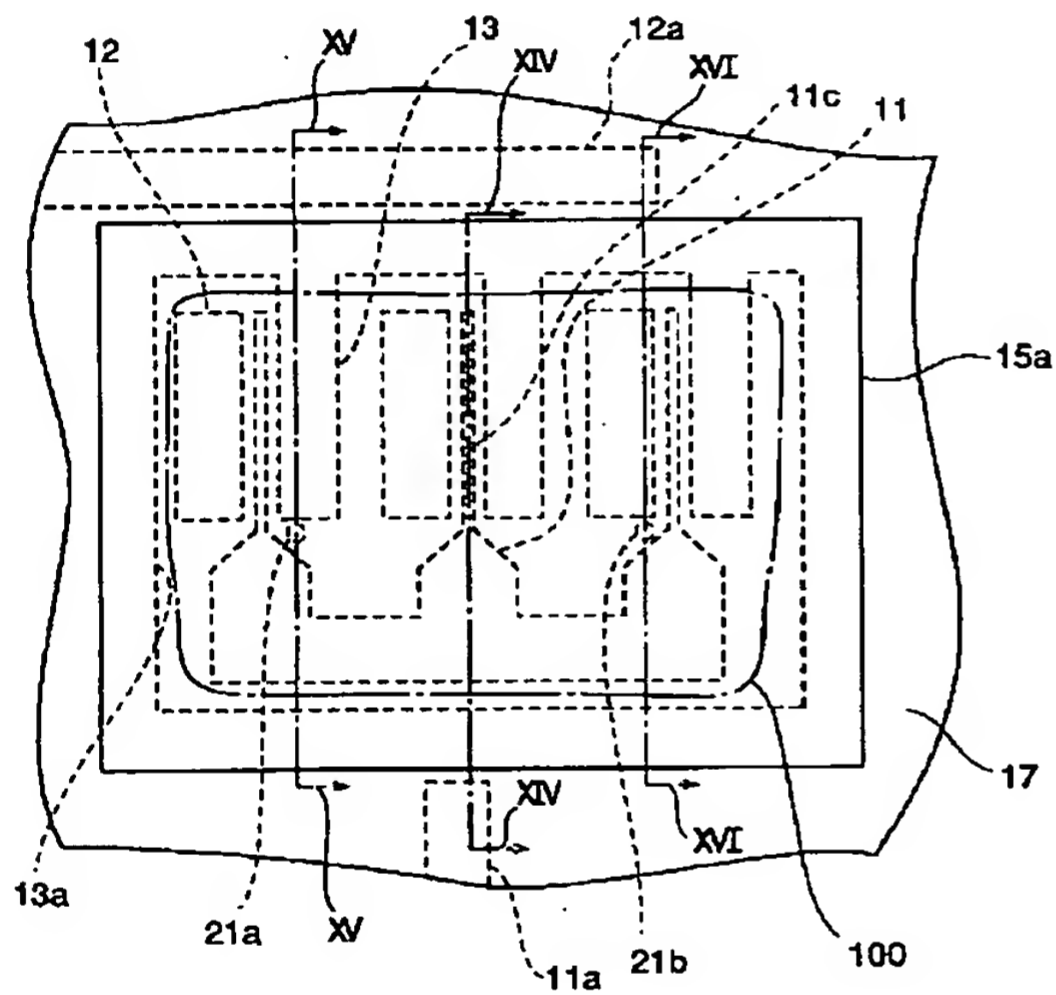
【図11】



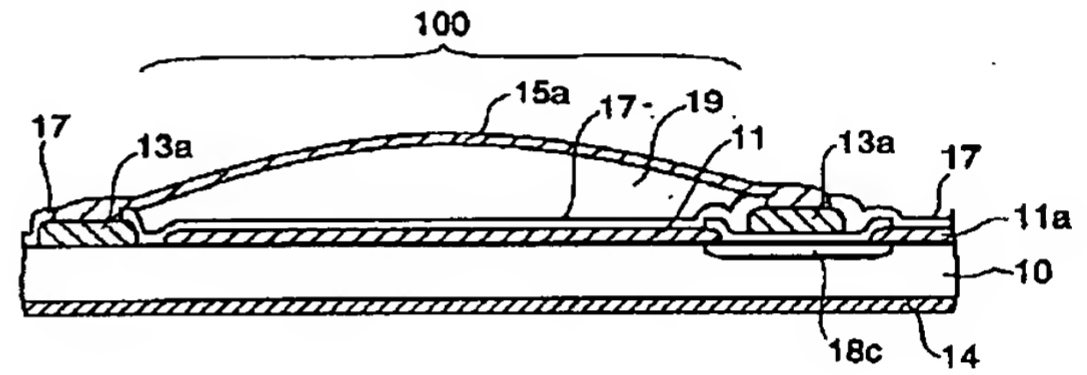
【図12】



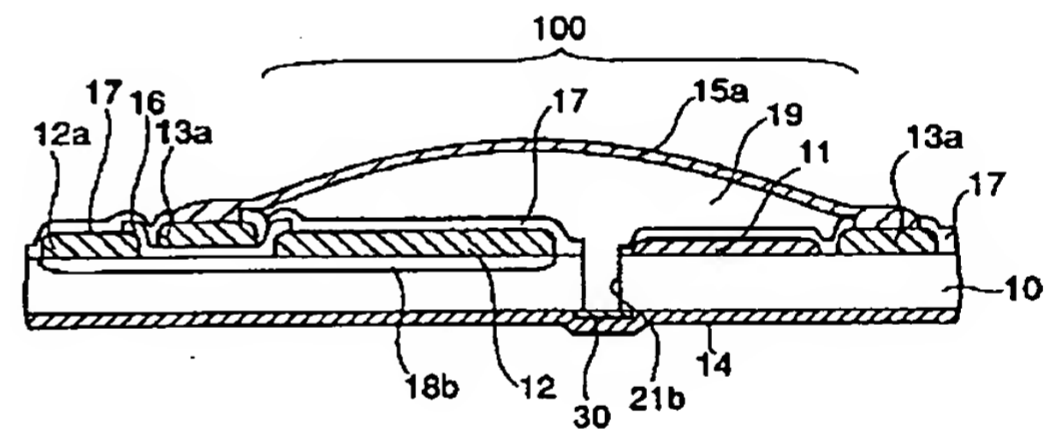
【図13】



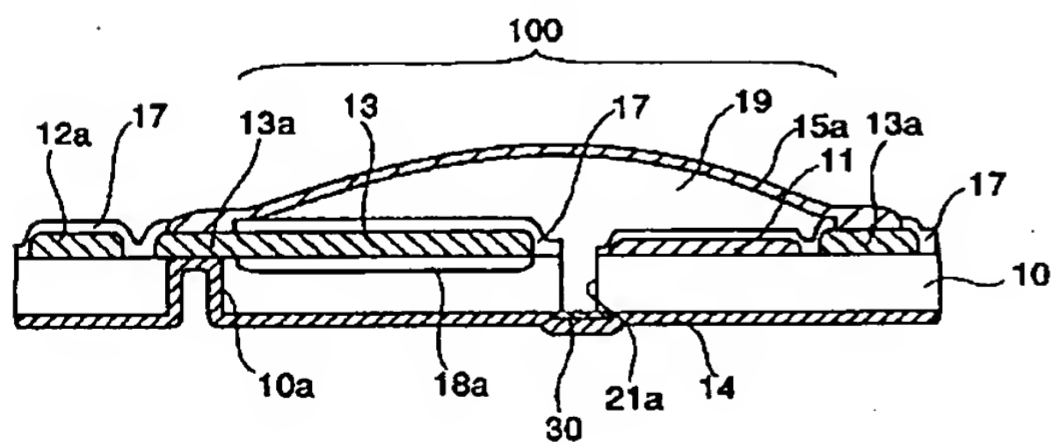
【図14】



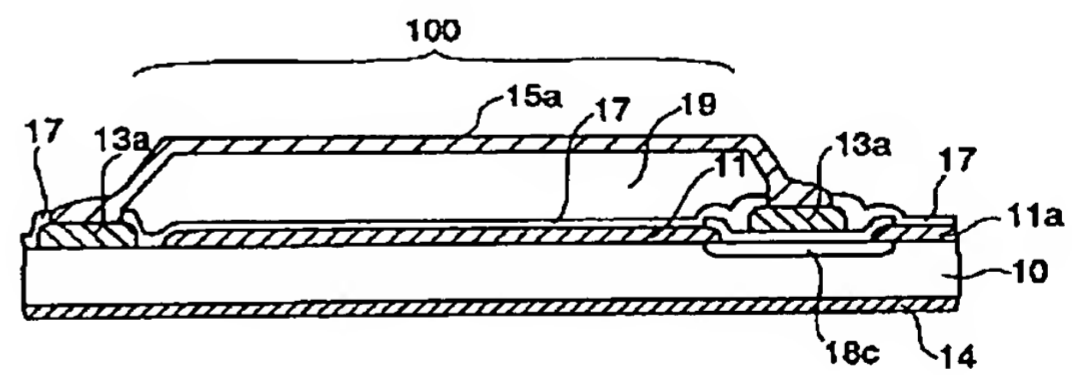
【図16】



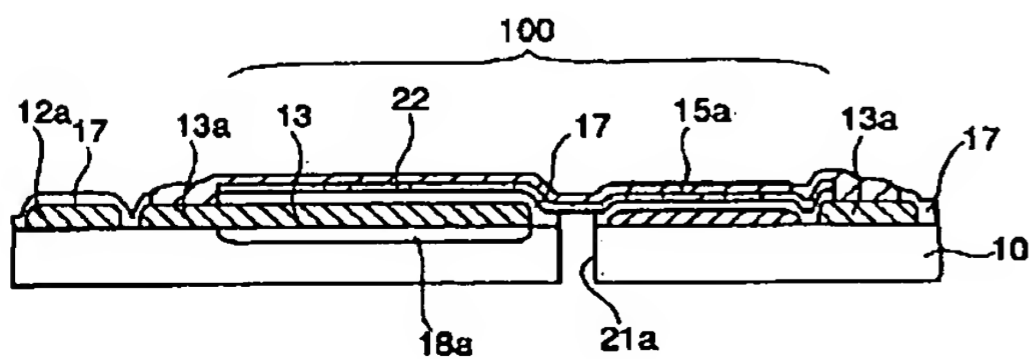
【図15】



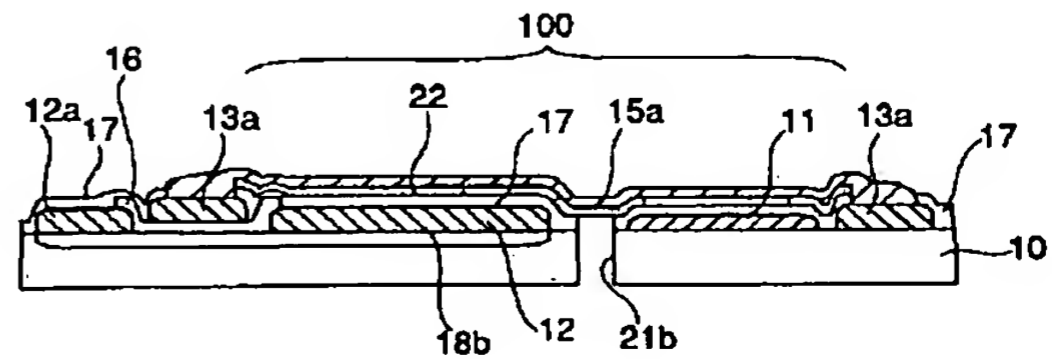
【図21】



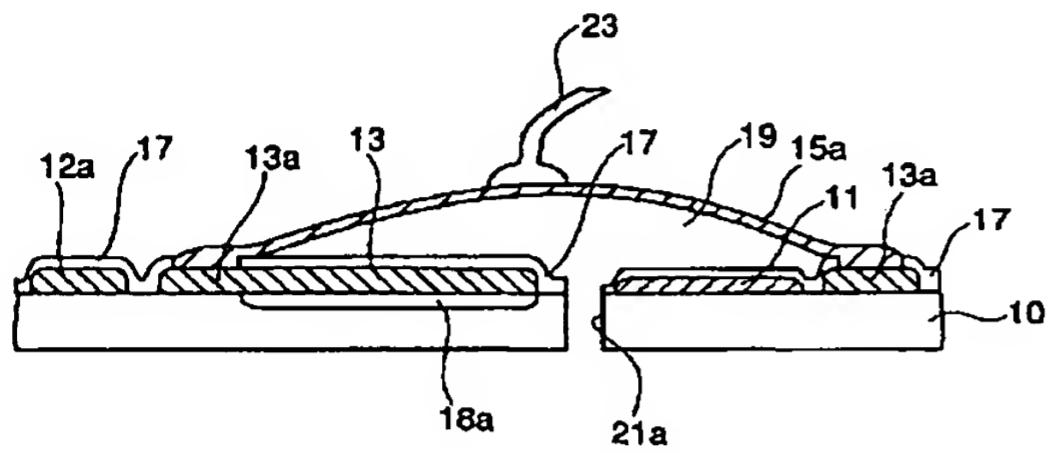
【図17】



【図18】

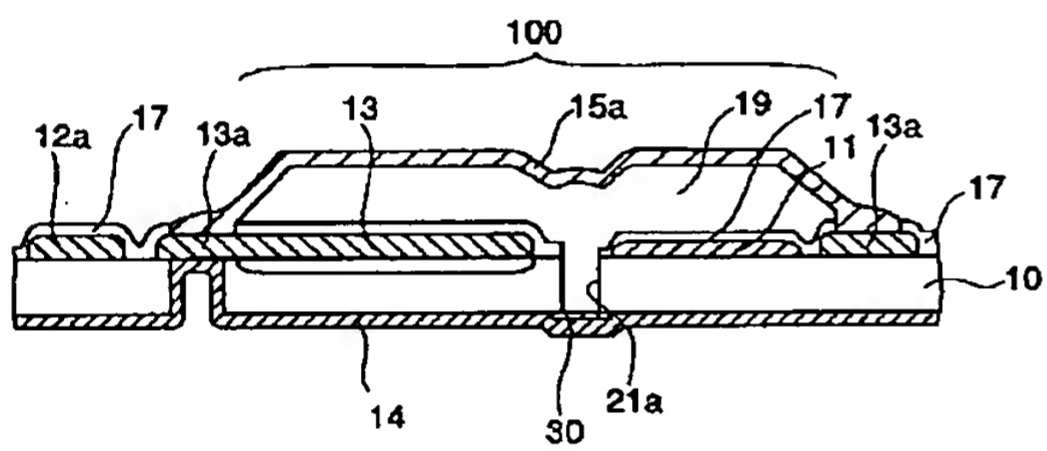


【図19】

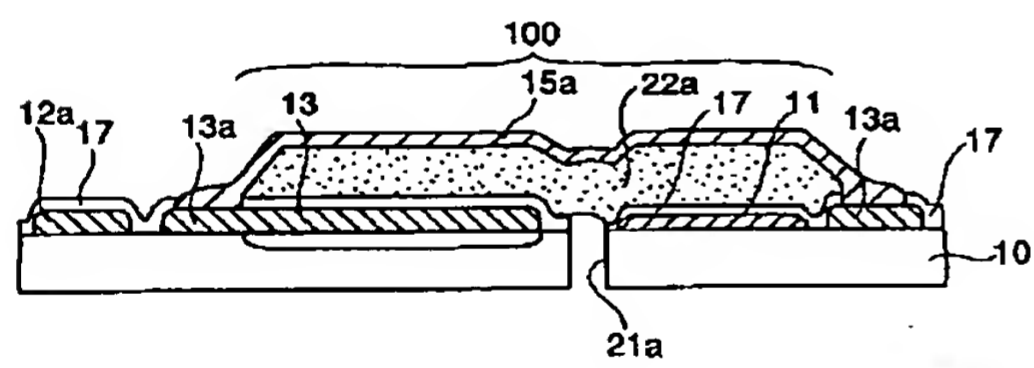


23:ワイヤ

【図22】

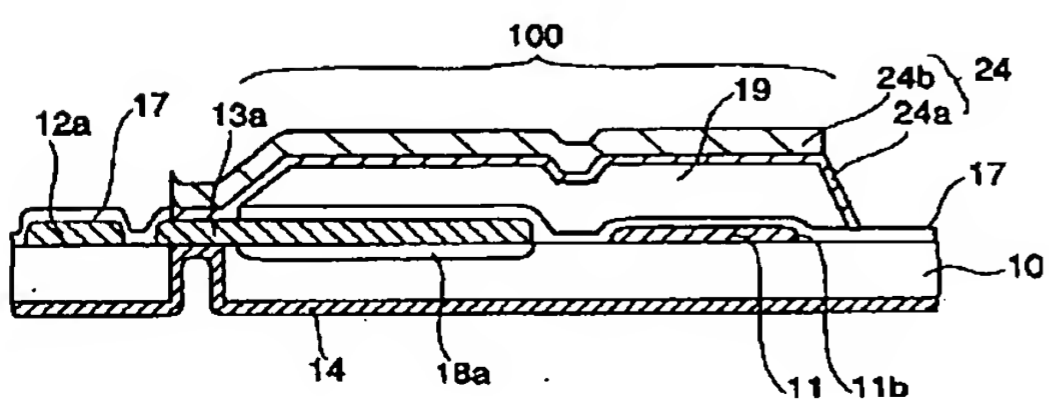


【図24】

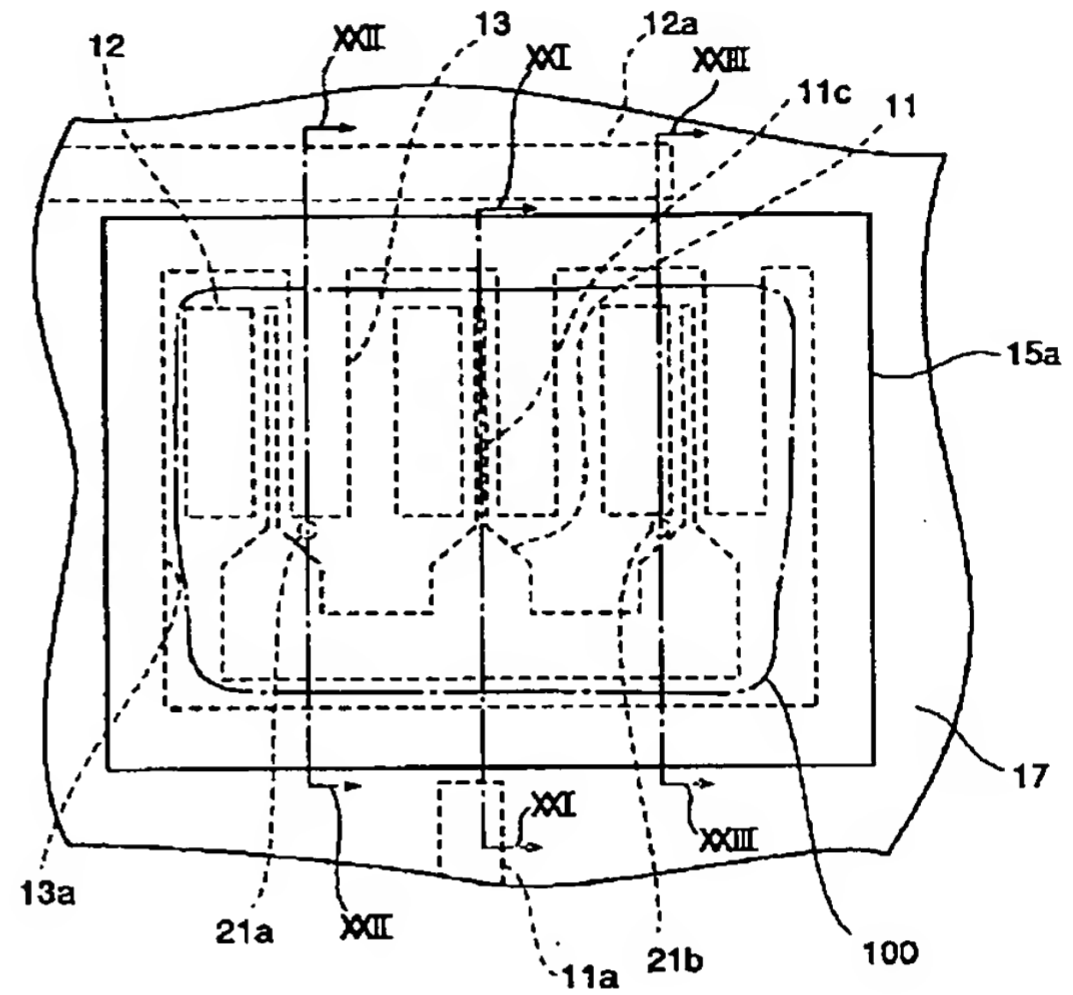


22a:レジスト膜

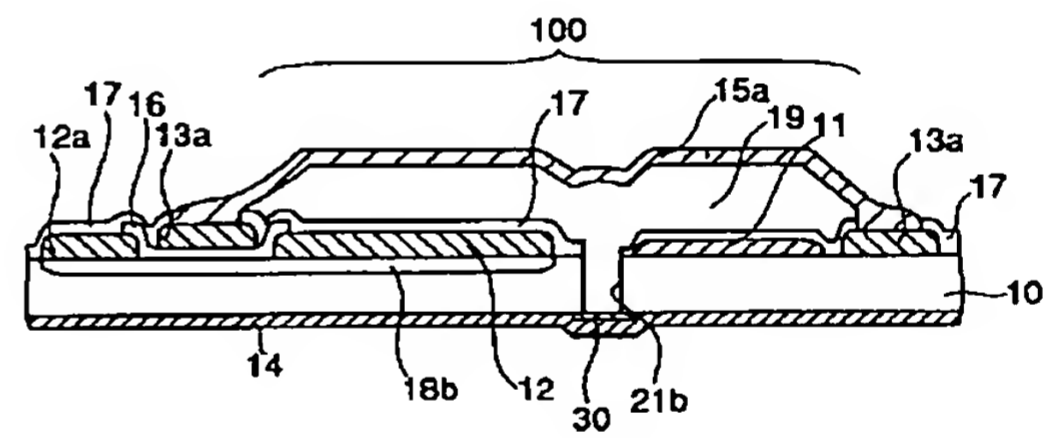
【図28】



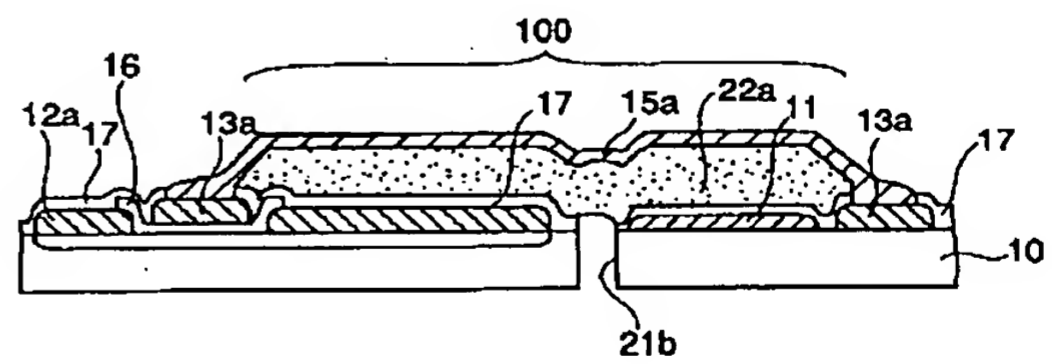
【図20】



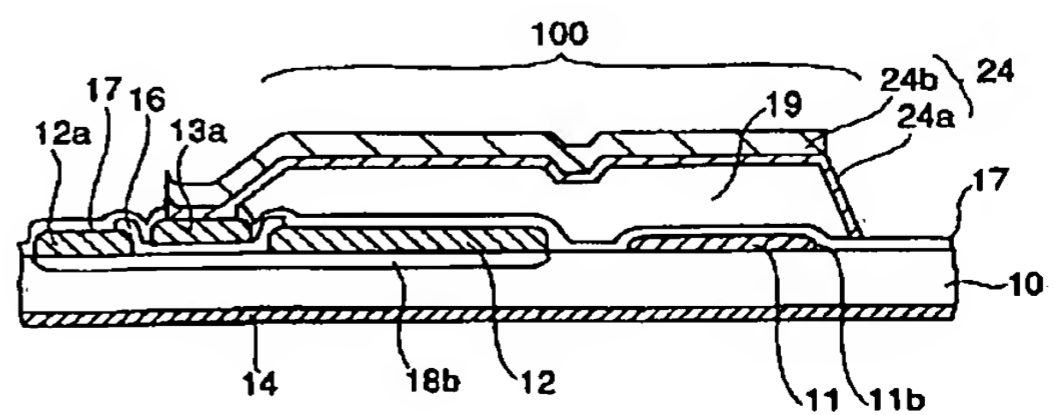
【図23】



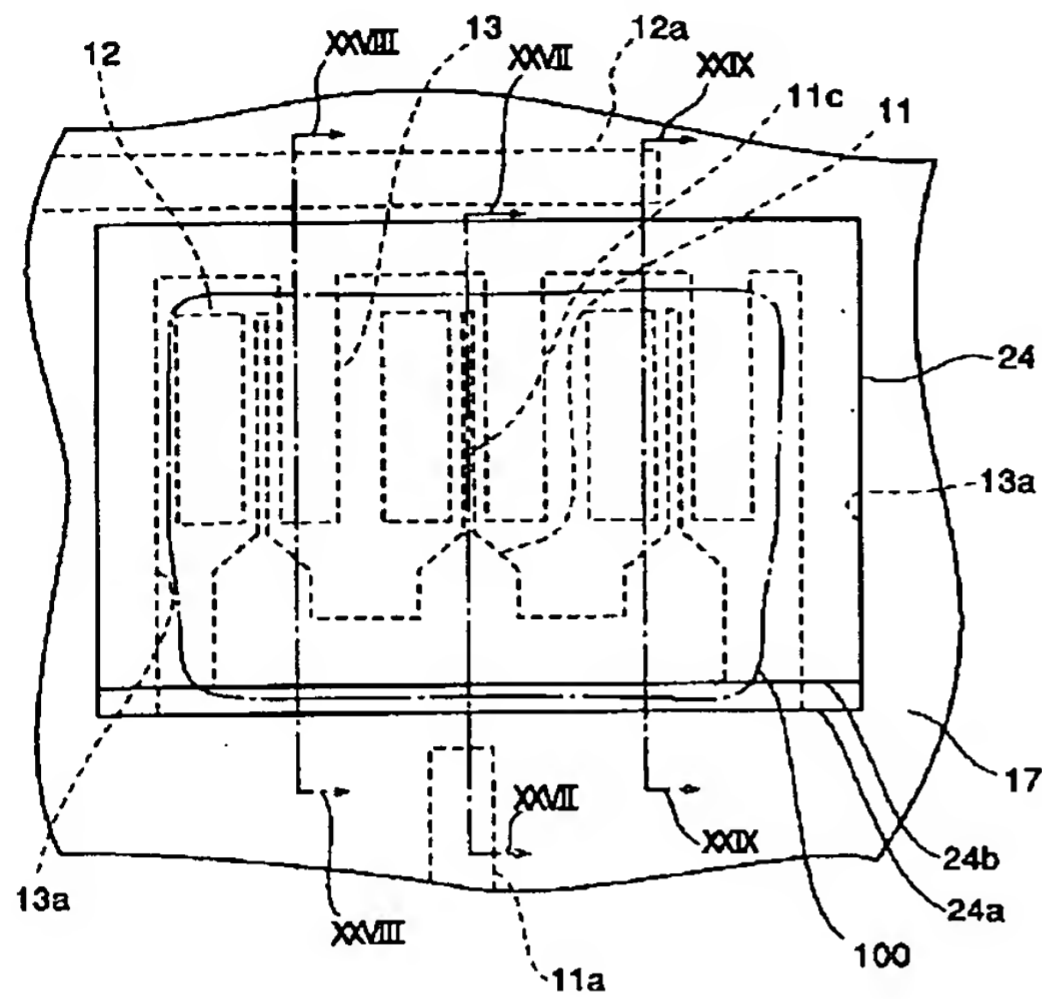
【図25】



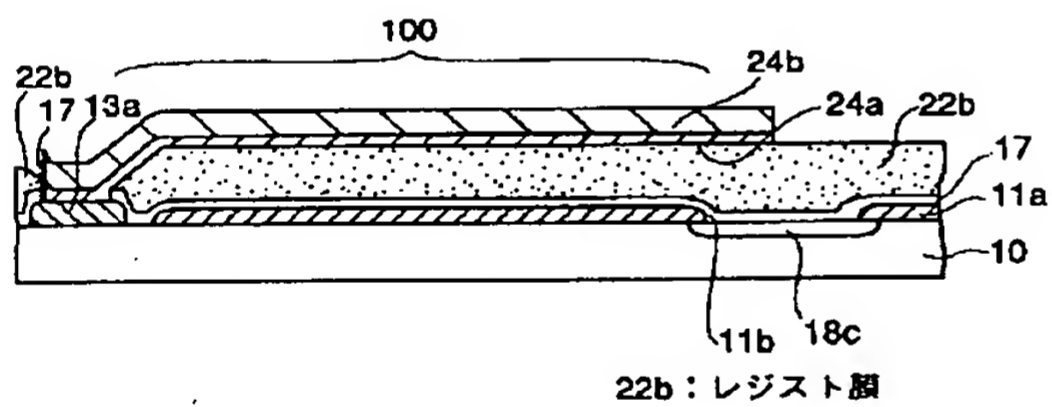
【図29】



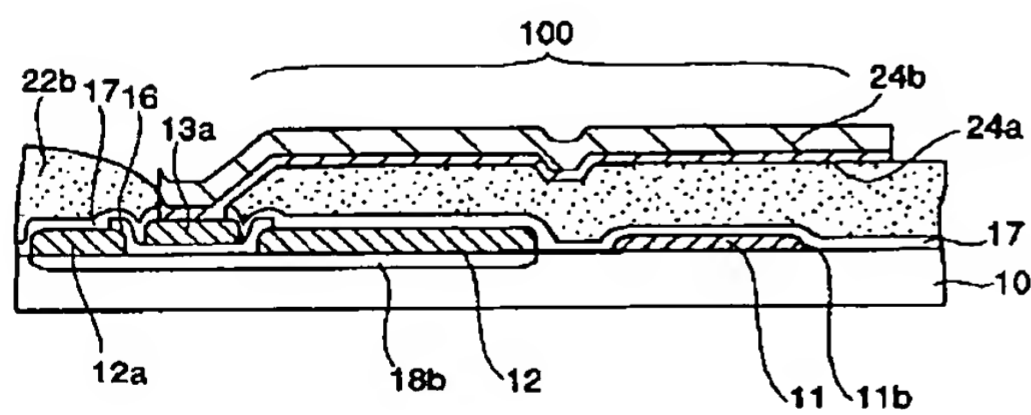
【図26】



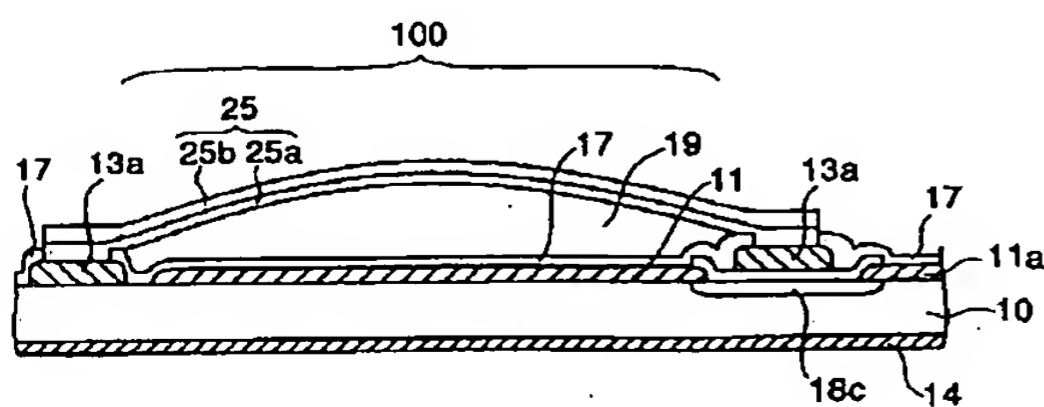
【図30】



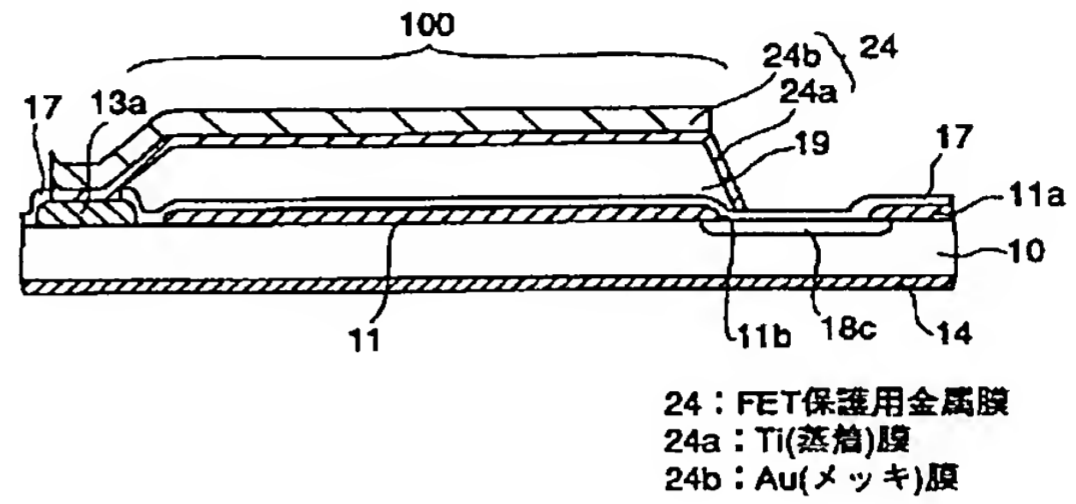
【図32】



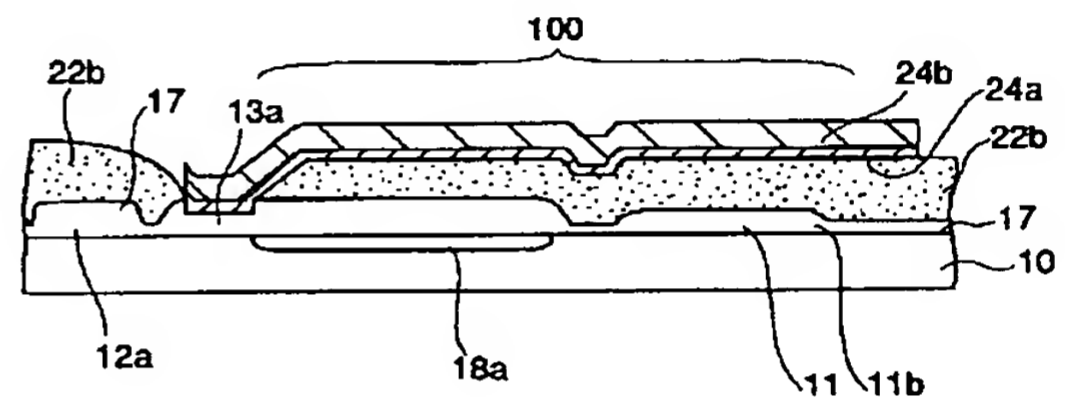
【図34】



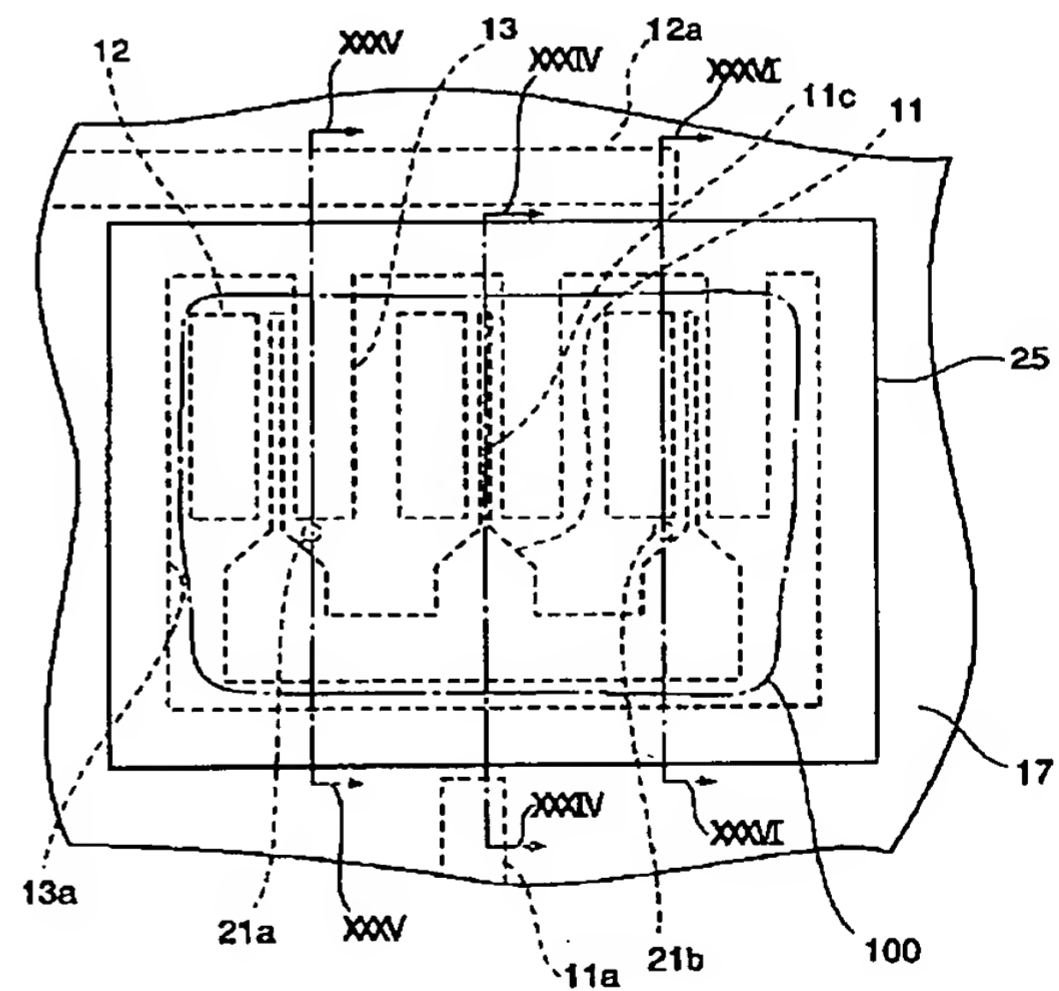
【図27】



【図31】

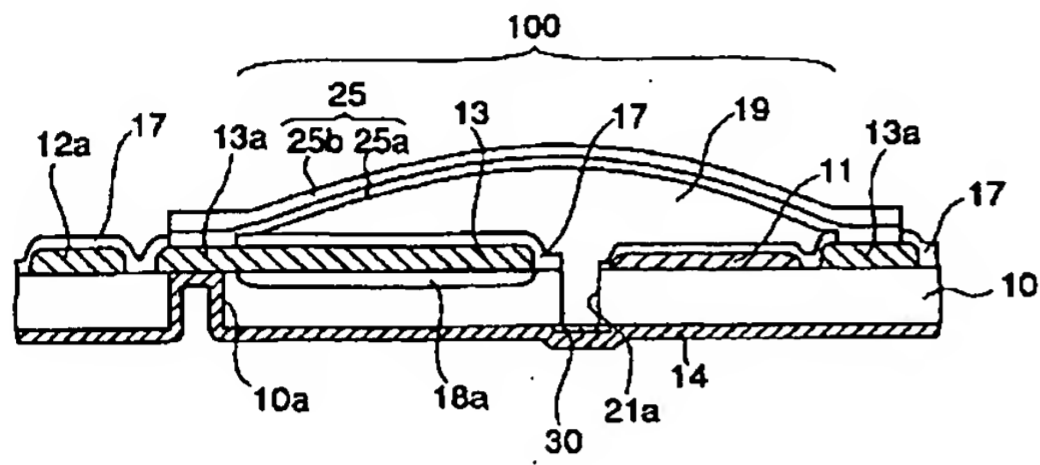


【図33】

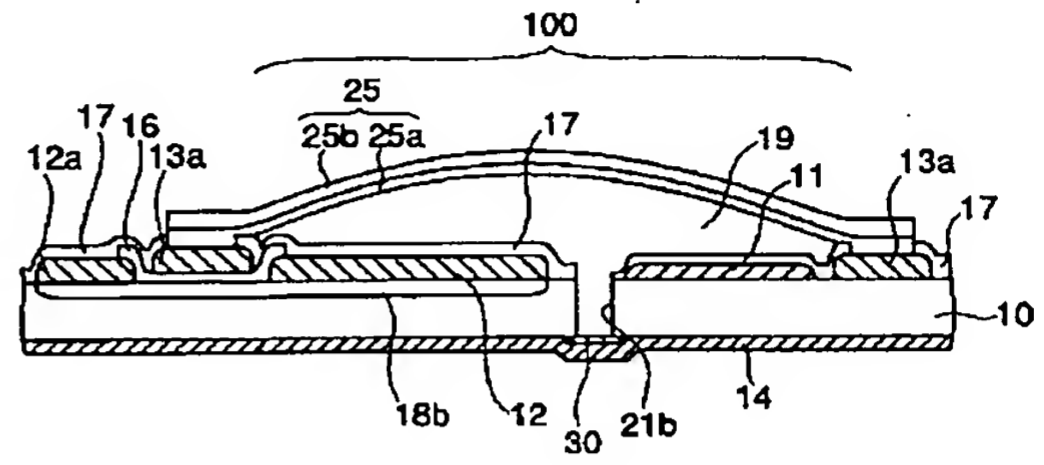


25: FET保護用金属膜

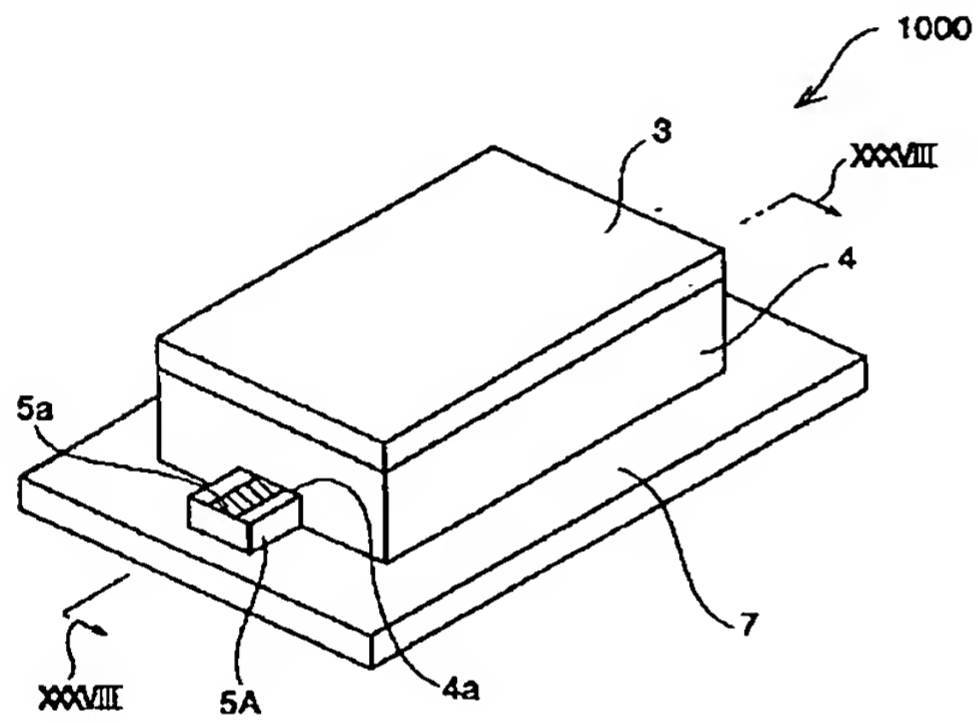
【図 3 5】



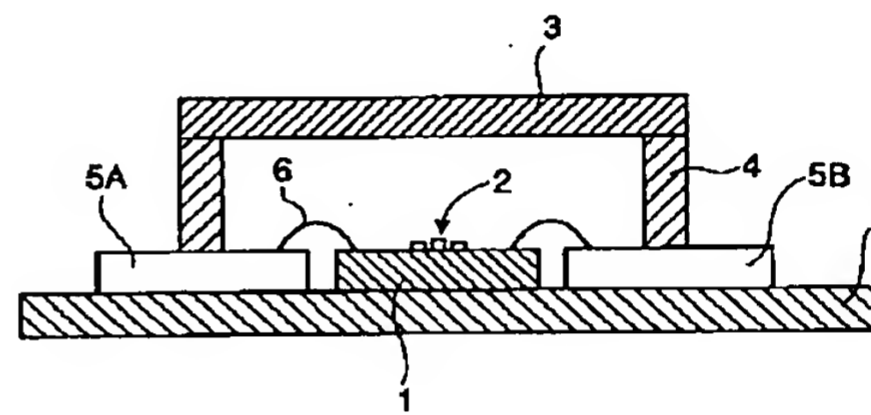
【図 3 6】



【図 3 7】



【図 3 8】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 23/04  
23/12  
23/14  
27/04  
21/822

識別記号

片内整理番号

F I

技術表示箇所

F

3 0 1 C

H 0 1 L 23/14  
27/04

X  
H